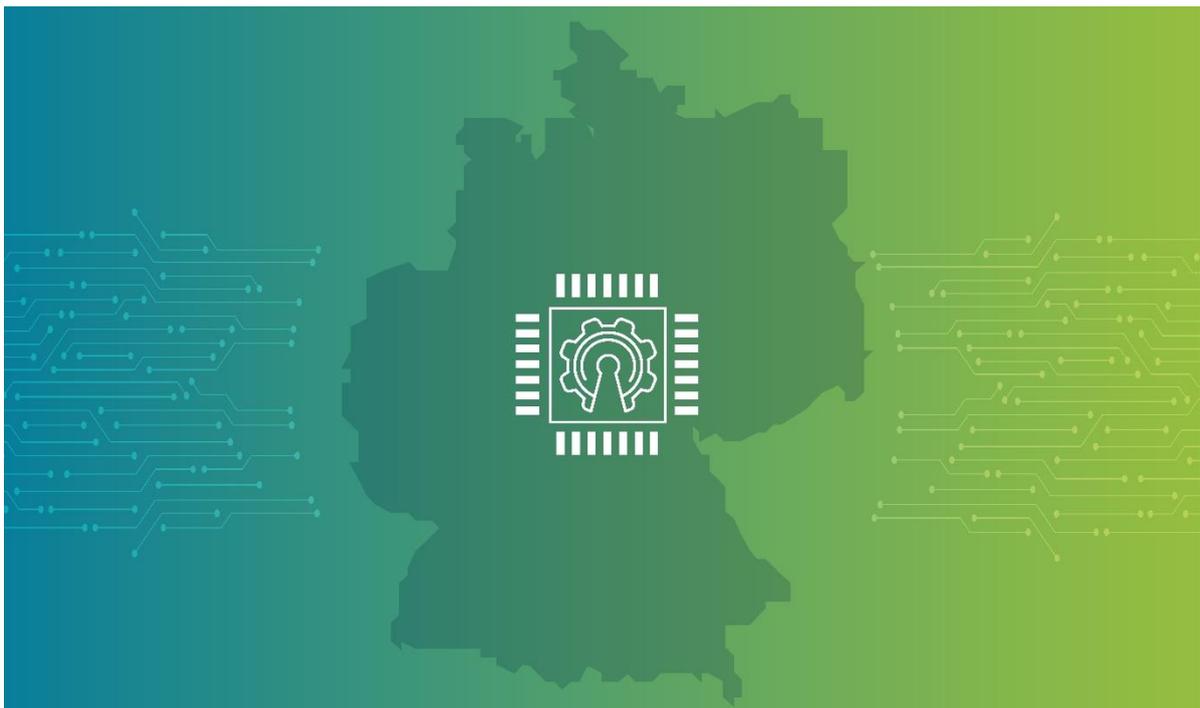




RISC-V ÖKOSYSTEM: STATUS UND POTENTIAL

ERGEBNIS DER ASPECT STUDIE



Die ASPECT Studie wurde mit Mitteln des BMBF unter dem Förderkennzeichen 16ME0656K gefördert.

Inhalt

1.	Zusammenfassung	3
2.	RISC-V Grundlagen	4
2.1.	Kerncharakteristiken.....	4
2.2.	Lizenzstruktur.....	5
2.2.1.	<i>Lizenzstruktur traditioneller Befehlssätze.....</i>	6
2.2.2.	<i>RISC-V Lizenzierung.....</i>	7
2.3.	Vergleich von RISC-V, x86 und Arm	9
2.3.1.	<i>Lizenzierung.....</i>	9
2.3.2.	<i>Verbreitung und Verfügbarkeit.....</i>	10
2.3.3.	<i>Software-Ecosystem.....</i>	10
2.4.	Einordnung des Interesses an RISC-V aus Wissenschaft und Industrie	11
2.5.	Diskussion des RISC-V Potenzials für Wissenschaft und Industrie	14
2.6.	Anwendungsbereiche von RISC-V.....	16
3.	RISC-V-Ökosystem.....	19
3.1.	Vision eines (europäischen) RISC-V-Ökosystems.....	19
3.2.	Grundlegende Bestandteile eines RISC-V Entwicklungs-Ökosystems	20
3.2.1.	<i>Standards für Prozessor-Entwicklungen.....</i>	21
3.2.2.	<i>Hardware-Entwicklung.....</i>	24
3.2.3.	<i>Software-Entwicklung.....</i>	30
3.2.4.	<i>Aus- und Weiterbildung.....</i>	31
4.	Rolle von Open Source im RISC-V-Ökosystem	32
4.1.	Diskussion der Rolle von Open Source im RISC-V-Ökosystem	33
4.1.1.	<i>Internationaler Vergleich.....</i>	33
4.1.2.	<i>Open Source Silicon für den Europäischen Bedarf.....</i>	35
4.1.3.	<i>Branchenspezifische Besonderheiten.....</i>	43
4.1.4.	<i>Diskussion möglicher Geschäftsmodelle.....</i>	44
5.	Aufbau eines europäischen RISC-V-Ökosystems.....	45
5.1.	Bedeutung eines europäischen RISC-V Ökosystems.....	46
5.1.1.	<i>Flexibilität als Innovationstreiber.....</i>	46
5.1.2.	<i>Absicherung von Lieferketten.....</i>	46
5.1.3.	<i>Kostenvorteile.....</i>	47
5.1.4.	<i>Sicherheit und Zuverlässigkeit.....</i>	48
5.1.5.	<i>Weitere Aspekte und Fazit.....</i>	48
5.1.6.	<i>Stakeholder eines RISC-V-Ökosystems in Deutschland und Europa.....</i>	49
5.2.	Kurzbewertung der Kommissions-Roadmap für RISC V in Europa	50

5.3. Synergien und Gefahren bei der Kooperation mit außereuropäischen Akteuren beim Aufbau eines RISC-V-Ökosystems.....	52
5.3.1. <i>Einordnung der Intel-Initiative zur Entwicklung eines RISC-V-Ökosystems</i>	52
6. Fehlenden Kompetenzen und Stakeholder in Deutschland für ein europäisches RISC-V-Ökosystem.....	54
6.1. Integration in weltweites Ökosystem oder europäische Lösung.....	54
6.2. Notwendige Kompetenzen in Deutschland.....	56
6.2.1. <i>Verwaltung von Opensource-Projekten</i>	57
6.2.2. <i>Hardware und Designtools für Hardware</i>	58
6.2.3. <i>Wechselwirkung von Toolchain und Prototyping</i>	61
6.2.4. <i>Impact für Embedded vs. HPC-Systeme</i>	62
6.2.5. <i>Software</i>	62
6.2.6. <i>Zusammenfassung</i>	63

1. ZUSAMMENFASSUNG

Die in 2014 veröffentlichte RISC-V Instruktionssatz-Architektur (ISA) bricht mit den traditionellen Lizenzierungsmodellen für ISA von Intel/AMD und ARM. Sie erlaubt die kostenlose Implementierung und insbesondere auch die Erweiterung des Befehlssatzes in Prozessoren für eingebettete Systeme, Mobilgeräte, PCs und Großrechner.

RISC-V steht in enger Beziehung zu Open Silicon und Open Source. Der Prozessor als kritische IP-Komponente eines Chipdesigns kann, dank RISC-V, aus einer Vielzahl kommerzieller und freier Implementierungen ausgewählt werden, die zueinander in technischer und kommerzieller Konkurrenz stehen.

Unternehmen evaluieren zunehmend für die Integration in eigene Produkte, um die Unabhängigkeit von einzelnen IP-Anbietern zu senken, applikationsspezifische Anpassungen vornehmen zu können und Entwicklungs- bzw. Lizenzkosten zu senken. Dabei senkt RISC-V in Kombination mit anderen Open Silicon Komponenten und Open Source Werkzeugen die Einstiegshürde für innovative Chipentwicklungen besonders in zwei Bereichen: in Sensorik- und IoT-Komponenten mittlerer Komplexität sowie in Höchstleistungs-Rechnern.

Forschungseinrichtungen setzen RISC-V für Innovationen im Bereich Computerarchitekturen ein und profitieren vom Rückgriff auf ein stabiles Ökosystem aus Entwicklungswerkzeugen und Anwendungssoftware.

Ein RISC-V Ökosystem besteht dabei neben der ISA aus Werkzeugen für den Chip-Entwurf, weiteren kritischen Komponenten wie Schnittstellen- und Speicher-IP sowie einem umfangreichen Angebot an Software und Verifikationswerkzeugen. Open-Source Werkzeuge für den Chip-Entwurf sind international verfügbar und für eine Vielzahl von Entwicklungen bereits tauglich. Für noch nicht abgedeckte Funktionen existieren europäische und internationale kommerzielle Angebote. Kritische Chip-Komponenten sind jedoch weiterhin nicht aus Deutschland oder Europa verfügbar.

Mit RISC-V entstehen neue, an Open Source angelehnte, Geschäftsmodelle für die Aus- und Weiterbildung, den Integrations-Support und die Überführung von Forschungsergebnissen in kommerziell nutzbare Komponenten. Diese Geschäftsmodelle werden durch Bestrebung zur Zentralisierung von Weiterbildungs- und Koordinierungsaufgaben im RISC-V Umfeld gefährdet.

Die Unterstützung von individuellen Initiativen und einer föderalen, auch internationalen Selbst-Organisation des Ökosystems hingegen bietet die Chance auf eine Steigerung der Innovationsfähigkeit gerade von KMU, wie einzelne Erfolgsgeschichten belegen.

2. RISC-V GRUNDLAGEN

Der Prozessor als Kernstück jedes System-on-Chip ist die Schnittstelle der Software zur Hardware. Konkret spricht man von einem Befehlssatz, der diese Schnittstelle definiert. Dieser Befehlssatz definiert zum Beispiel welche Maschinenbefehle der Prozessor unterstützt und wie das Betriebssystem mit dem Prozessor zusammenarbeitet. Während Compiler (Programme die Hochsprachen in Maschinencode übersetzen) und Betriebssysteme die zugrundeliegende Befehlssatzarchitektur abstrahieren, ist der Wechsel zwischen Befehlssätzen meist nicht trivial, insbesondere bei historisch gewachsenen Software-Stacks.

Während vor dem IBM PC noch sehr viele verschiedene Befehlssätze existierten, nahm die Anzahl spätestens in den 1990er Jahren stetig ab. Der von Intel eingeführte x86 Befehlssatz wurde dominierend. Mit dem Aufkommen und rapiden Erfolg von mobilen Endgeräten trat jedoch ein neuer Befehlssatz in Erscheinung, Arm. X86 und Arm sind heute die beiden dominierenden Befehlssätze. Arm folgt dabei dem sogenannten „Reduced Instruction Set Computer“ (RISC) Prinzip.

2.1. Kerncharakteristiken

Bei RISC-V handelt es sich um die fünfte interne Iteration des RISC-Konzeptes an der UC Berkeley, weshalb das Projekt RISC-V (V wie römisch fünf, ausgesprochen „RISC-five“) heißt. RISC-V wurde 2010 entwickelt und 2014 veröffentlicht. Der RISC-V Befehlssatz sticht dadurch hervor, dass es ein offener Befehlssatz ist. Jeder ist frei diesen Befehlssatz ohne Lizenzkosten zu implementieren und Produkte damit zu bauen. Dies ist anders als beim Arm-Befehlssatz, bei dem nur Arm und wenige Befehlssatz-Lizenznehmer Arm-Prozessorkerne entwickeln. Der RISC-V Befehlssatz ist modular und erweiterbar aufgebaut. Neben einem Basis-Befehlssatz mit weniger als 50 Befehlen, finden sich alle weiteren Befehle in Erweiterungen. RISC-V Prozessoren können diese prinzipiell frei kombinieren, wobei es generische Plattform-Definitionen gibt, die die Portierbarkeit von Software verbessern.

Seitdem ist RISC-V stark gewachsen und wird inzwischen von sehr vielen Halbleiterunternehmen (zumindest intern) als Alternative evaluiert. Der Befehlssatz ist nicht nur offen und frei verfügbar, sondern darüber hinaus auch ein offener Standard, der durch die „RISC-V International“ Organisation ¹ erstellt und gepflegt wird. In dieser Organisation arbeiten die Mitglieder (Firmen, Universitäten und Individuen) gemeinsam an dem Standard und können so Einfluss auf den Befehlssatz nehmen.

¹ siehe <https://riscv.org/>

RISC-V zeichnet sich insbesondere durch eine hohe Modularität aus. Ein Basis-Befehlssatz ist seit 2019 ratifiziert und stabil.² Über diesen Befehlssatz hinaus sind Erweiterungen im Befehlssatz vorgesehen. Dabei wird zwischen offiziellen und Hersteller-spezifischen Erweiterungen unterschieden. Die offiziellen Erweiterungen werden ebenfalls zentral verwaltet und ratifiziert.³ Diese Erweiterungen sind optional und müssen nicht von allen Prozessorkernen implementiert werden. Um dabei Kompatibilität zu erreichen, werden sogenannte Profile und Plattformen definiert, die Erweiterungen bündeln und weitere System-Komponenten, wie zum Beispiel Bootloader, definieren.⁴

2.2. Lizenzstruktur

Bereits vor RISC-V gab es offene Befehlssätze, wie zum Beispiel SPARC⁵ und OpenRISC⁶. Im Gegensatz zu diesen vorherigen Befehlssätzen war RISC-V von vornherein anders organisiert: Im Rahmen der Forschungsarbeiten im Berkeley Parallel Computing Lab förderten hauptsächlich Microsoft und Intel mit hohen Summen Entwicklungen an modernen Rechnerarchitekturen. Ein „Nebenprodukt“ dieser Forschung war die Entwicklung des RISC-V Befehlssatzes, der 2011 erstmals in einem Technical Report veröffentlicht wurde.⁷

Über die Existenz des Projektes am Parallel Computing Lab hinaus sollte RISC-V als offener Befehlssatz weitergeführt werden. Die Motivation und Roadmap dafür wurde 2014 von Krste Asanović und Dave Patterson ebenfalls als Technical Report veröffentlicht.⁸ Darin wurden die Vorteile und Herausforderungen einer offenen Befehlssatzarchitektur diskutiert. Offen bezeichnet dabei die freie Verfügbarkeit des Befehlssatzes für die Implementierung. Als Motivation nennen Asanović und Patterson, dass die

² vgl.

<https://web.archive.org/web/20220415011643/https://riscv.org/announcements/2019/07/risc-v-foundation-announces-ratification-of-the-risc-v-base-isa-and-privileged-architecture-specifications/>

³ zum Beispiel 15 Erweiterungen in 2021, vgl.

<https://web.archive.org/web/20221003144242/https://riscv.org/announcements/2021/12/riscv-ratifies-15-new-specifications/>

⁴ vgl. <https://web.archive.org/web/20220817160721/https://www.cnx-software.com/2021/08/06/the-risc-v-platform-specification-aims-to-ensure-risc-v-hardware-and-software-compatibility/>

⁵ Zum Beispiel in der 32-bit Variante als IEEE Standard 1754-1997

⁶ vgl. <https://openrisc.io/>

⁷ vgl.

<https://web.archive.org/web/20221023184737/https://www2.eecs.berkeley.edu/Pubs/TechRpts/2011/EECS-2011-62.pdf>

⁸ vgl.

<https://web.archive.org/web/20221024094843/https://www2.eecs.berkeley.edu/Pubs/TechRpts/2014/EECS-2014-146.pdf>

Gründe für die Geschlossenheit alle nicht-technischer Natur seien. Wichtig dafür ist es die Lizenzmodelle anderer Befehlssätze zu verstehen, welche im Folgenden betrachtet werden sollen.

2.2.1. LIZENZSTRUKTUR TRADITIONELLER BEFEHLSÄTZE

x86 bezeichnet im Wesentlichen den 16/32-bit Intel-Befehlssatz aus den frühen 1980er Jahren sowie deren Nachfolger. Aufgrund des gewachsenen Software-Ökosystems und dem damit verbundenen Bedürfnis nach Abwärtskompatibilität, sind alle Erweiterungen des Befehlssatzes inklusive der 64-bit Erweiterungen Teil einer 40-jährigen Tradition. Der Erfolg von x86 basiert dabei darauf, dass Intel und der x86 Befehlssatz als Prozessoren für den IBM-PC ausgewählt wurden. Mit der Dominanz der PC- Plattform kam auch die Alleinstellung von x86 und andere Befehlssätze der Zeit verschwanden. Intel konnte aber nicht ein Monopol aufbauen, sondern IBM forderte eine zweite Bezugsquelle (second sourcing-Prinzip). Mit AMD hatte Intel einen Lizenzpartner für IBM-PC, aber bereits nach wenigen Jahren kam es zu Rechtsstreitigkeiten, die sogar vom US Supreme Court geklärt werden mussten.⁹ Bis heute ist es so, dass es eine Lizenzvereinbarung zwischen Intel und den Lizenznehmern gibt, hauptsächlich AMD, aber auch zum Beispiel VIA, die erlaubt den Befehlssatz zu implementieren.

Wichtig ist an dieser Stelle den Unterschied zwischen dem Befehlssatz und seiner Implementierung, die sogenannte Mikroarchitektur, hervorzuheben. Für einen Befehlssatz gibt es dabei sehr viele Möglichkeiten die Befehle und die gesamte Struktur zu implementieren. In Bezug auf eine Lizenzierung ist es dabei so, dass die individuellen Befehle, sowie die Struktur des Befehlssatzes prinzipiell nicht patentiert werden können. Geschützt sein kann einzig die textuelle Definition der Funktionsweise. Darüber hinaus können Befehlssätze Befehle enthalten, deren Mikroarchitektur- Implementierung durch Patente geschützt ist.

Während Intel über lange Zeit hauptsächlich versucht hat zu verhindern, dass andere Hersteller x86-kompatible Prozessoren produzieren und verkaufen können, ist der andere dominierende Befehlssatz Arm, von vornherein einen anderen Weg gegangen. Hintergrund für die Gründung von Arm war der antizipierte Bedarf an Prozessoren für mobile Geräte. Gegründet als Joint Venture von Apple, Acorn und VLSI Technologies verfolgte Arm von Beginn an ein Geschäftsmodell rund um Lizenzierung.¹⁰ Dabei entwickelt Arm zwar neben dem Befehlssatz auch Mikroarchitektur-Implementierungen, baut aber

⁹ für eine ausführliche Darstellung vgl.

<https://web.archive.org/web/20220806120242/https://jolt.law.harvard.edu/digest/intel-and-the-x86-architecture-a-legal-perspective>

¹⁰ vgl. [https://web.archive.org/web/20220810092311/https://community.arm.com/arm-community-blogs/b/architectures-and-processors-blog/posts/a-brief-history-of-arm-part-](https://web.archive.org/web/20220810092311/https://community.arm.com/arm-community-blogs/b/architectures-and-processors-blog/posts/a-brief-history-of-arm-part-1)

[1](https://web.archive.org/web/20220810092311/https://community.arm.com/arm-community-blogs/b/architectures-and-processors-blog/posts/a-brief-history-of-arm-part-1)

selbst keine darauf basierenden System-on-Chip. Stattdessen werden die Implementierungen der Prozessorkerne lizenziert in verschiedenen Lizenzmodellen.¹¹ Etwas mehr als zehn Firmen haben darüber hinaus eine sogenannte Architekturlizenz. Nur mit dieser Lizenz ist es möglich eigene Arm-Prozessorkerne zu implementieren und diese auch so zu nennen.

In Bezug auf Arm kam es im September 2020 zu einem Übernahmeangebot durch NVIDIA. Auch aufgrund des massiven Gegenwinds von Arms Lizenznehmern, allesamt Konkurrenten von NVIDIA, konnte diese Übernahme nicht vollzogen werden. Der Vorgang hat jedoch das Thema Lizenzierung in den Fokus gerückt und RISC-V zumindest medial einigen Aufwind geboten.¹²

2.2.2. RISC-V LIZENSIERUNG

Wie erwähnt unterscheidet sich die Lizenzierung von RISC-V fundamental von anderen Befehlssätzen. Dabei sind in der Vergangenheit in der öffentlichen Wahrnehmung verschiedene Teile der Lizenzierung oft miteinander vermischt worden und RISC-V unscharf als „Open Source Prozessor“ bezeichnet worden.¹³ RISC-V ist aber als ein offener Standard und nicht als ein Open Source-Projekt zu verstehen.

Folgende Aspekte müssen in Bezug auf die IP-Rechte von RISC-V unterschieden werden:

- Die Spezifikation des Befehlssatzes als textuelle Beschreibung
- Die Implementierung des Befehlssatzes
- Der Vertrieb von RISC-V Prozessorkernen

Die Spezifikationen des Befehlssatzes werden durch Komitees erstellt, durch das Technical Steering Committee beschlossen und das Board of Directors ratifiziert. Die Spezifikationen waren ursprünglich proprietär durch die UC Berkeley lizenziert und sind inzwischen unter einer Creative Commons Lizenz verfügbar, die eine Attribuierung des Textes voraussetzt (CC BY 4.0). Dies bedeutet, dass diese frei verteilt und beliebig verändert werden können, solange angemessen auf die Urheber hingewiesen wird.¹⁴ Dieses Recht wird

¹¹ vgl. auch

<https://web.archive.org/web/20221024004658/https://semiaccurate.com/2013/08/07/a-long-look-at-how-arm-licenses-chips/>

¹² vgl. zum Beispiel

<https://web.archive.org/web/20220416042031/https://www.zdnet.com/article/nvidia-as-ownership-of-arm-could-drive-customers-to-risc-v-other-alternatives-if-not-careful-says-xilinx-ceo/>

¹³ vgl. zum Beispiel

<https://web.archive.org/web/20220929184732/https://www2.deloitte.com/xs/en/in-sights/industry/technology/technology-media-and-telecom-predictions/2022/risc-v-open-source-cpu.html>

¹⁴ vgl.

<https://web.archive.org/web/20221118061612/https://creativecommons.org/licenses/by/4.0/deed.de>

unwiderruflich und universumsweit gewährt. Damit ist der Befehlssatz offen nutzbar und erweiterbar unter Beachtung, dass RISC-V eine registrierte Wort- und Bildmarke ist, deren Nutzung nur Mitgliedern von RISC-V erlaubt ist.

Durch das Membership Agreement ist sichergestellt, dass Mitglieder ihre Beiträge zu den Spezifikationen nicht zurücknehmen können.¹⁵ Dies bietet die Sicherheit den RISC-V Befehlssatz an einem wohldefinierten, ratifizierten Stand implementieren zu können. Die Implementierung kann dabei sowohl proprietär als auch Open Source sein. Während anfangs der Vorteil von Open Source Implementierungen im Vordergrund stand, spielen heutzutage proprietär lizenzierte Prozessor-Implementierungen eine bedeutend größere Rolle. Die Lizenz des Prozessorkerns ist unabhängig von der Lizenz des Befehlssatzes.

Kritischer ist der Vertrieb von RISC-V Prozessoren, da dann sowohl Patent- als auch Markenrechte eine Rolle spielen. In Bezug auf die Markenrechte ist die Situation klar und überschaubar¹⁶: Firmen, die Mitglied sind, dürfen die Marke und das Logo kommerziell nutzen, ansonsten ist nur eine nicht-kommerzielle Nutzung erlaubt. Eine weitere Marke „RISC-V Compatible“ setzt darüber hinaus eine Selbstzertifizierung der Implementierung voraus.

Beim Vertrieb von RISC-V Prozessoren sind darüber hinaus Patentrechte zu betrachten. Wie bereits zuvor erwähnt kann zwar die Spezifikation des Befehlssatzes offen sein, wie hier als eine Creative Commons Lizenz, die einzelnen Befehle können jedoch aufgrund der zugrundeliegenden Methodik oder notwendigen technischen Umsetzung patentrechtlich geschützt sein. Für den Basis-Befehlssatz hat Dave Patterson einen Stammbaum der Befehle erstellt¹⁷, der zeigen soll, dass diese Befehle seit vielen Jahren in RISC-Befehlssätzen zu finden sind und daher geschlossen werden kann, dass jegliche Patentrechte verjährt sein dürften. Komplizierter wird es aber mit den vielen Erweiterungen, die aktuell verabschiedet werden und für die eine performante oder effiziente Implementierung notwendig ist. Befehle und deren Implementierung können durch Patente geschützt sein. Ein Vorteil der Arm-Lizensierung ist, dass derartige Probleme an Arm delegiert sind und Arm sein eigenes Patent-Portfolio einsetzen kann.

Ein Baustein für Standardisierungsgremien wie RISC-V ist die Behandlung von Patentrechten der eigenen Mitglieder. Dabei wählt RISC-V aktuell den Weg,

¹⁵ vgl. Appendix A „IPR Policies“ Artikel 1 und 3 des Membership Agreement, <https://web.archive.org/web/20220517040611/https://riscv.org/wp-content/uploads/2022/03/RISC-V-Amended-Internal-Regulations-APPROVED-2022-Feb-17.pdf>

¹⁶ vgl. <https://web.archive.org/web/20221104035935/https://riscv.org/about/risc-v-branding-guidelines/>

¹⁷ vgl. <https://web.archive.org/web/20221102180127/https://www2.eecs.berkeley.edu/Pubs/TechRpts/2016/EECS-2016-6.html>

dass Mitglieder keine Patentansprüche gegenüber Implementierern gültig machen können, insofern sie die betroffene Technik selbst zur Spezifikation beigetragen haben.¹⁸ Dies kann als Mitglieder-freundlich und Implementierer-unfreundlich bezeichnet werden, da durchaus andere Patentansprüche geltend gemacht werden können, solange der Beitrag zur Spezifikation nicht vom Mitglied selbst kommt. Andere Standardisierungsgremien gehen dabei weiter und erfordern, dass Mitglieder neue Spezifikationen auf etwaige Patentansprüche untersuchen und Implementierern eine „faire, angemessene und diskriminierungsfreie“ (Fair, Reasonable and Non-Discriminatory, FRAND) Möglichkeit bieten die Patente zu lizenzieren, teilweise frei von Zahlungen. Diese Variante oder sogar weitergehende Pflichten der Mitglieder sind durchaus freundlicher für Implementierer und mit dem steigenden Erfolg von RISC-V und der zunehmenden Verbreitung kann erwartet werden, dass die Lizenzierung sich der Änderung der Bedeutung hin zu den Implementierern hin anpasst.

2.3. Vergleich von RISC-V, x86 und Arm

Die drei aktuell relevantesten Befehlssätze Arm, x86 und RISC-V sowie deren Ökosysteme werden im Folgenden in Hinblick auf ihre Lizenzierung, Verbreitung und Verfügbarkeit, sowie das Software-Ökosystem verglichen.

2.3.1. LIZENZIERUNG

Die Lizenzierung einer aktuellen x86-Variante führt sowohl über Intel und AMD und dürfte eine sehr aufwendige Unternehmung sein, wenn überhaupt möglich. Sie wird aber auch technisch als nicht sonderlich attraktiv angesehen.

Die Lizenzierung von Arm Prozessorkernen ist hingegen das Geschäftsmodell und daher zugänglich für kommerzielle Interessenten. Über die letzten Jahre hat Arm, insbesondere vermutlich aufgrund des Drucks durch RISC-V, das Lizenzmodell zugänglicher gemacht und ermöglicht es inzwischen mit weniger Aufwand einfache Prozessorkerne zu lizenzieren. Unsicherheiten in Bezug auf die Eigentümer bzw. den nahenden Gang zurück an die Börse, sowie die Gefahr von Restriktionen des internationalen Handels haben jedoch Firmen, insbesondere aus China, die Gefahren einer Abhängigkeit von Arm sichtbar gemacht.

RISC-V hat durch seine Lizenzstruktur hingegen einen besseren Stand. Zwar können weiterhin IP-Zulieferer genauso Handelsrestriktionen unterliegen, aber durch den offenen Standard finden sich auch andere Anbieter, bzw. können mit eigenen Entwicklungen in den Markt eintreten.

¹⁸ vgl. Appendix A, Artikel 2, <https://web.archive.org/web/20220517040611/https://riscv.org/wp-content/uploads/2022/03/RISC-V-Amended-Internal-Regulations-APPROVED-2022-Feb-17.pdf>

2.3.2. VERBREITUNG UND VERFÜGBARKEIT

Der x86 Befehlssatz ist prinzipiell nur als Endprodukt verfügbar, diese Produkte dominieren aber den Desktop- und Server-Markt. In mobilen Endgeräten hat sich der Arm-Befehlssatz durchgesetzt, lizenziert durch die System-on-Chip Anbieter. RISC-V basierte Systeme spielen für Endnutzer- Geräte aktuell nur in kleinem Umfang eine Rolle, zum Beispiel mit der ESP32 Plattform von Espressif. In den letzten zwei Jahren sind darüber hinaus erste leistungsfähige 64-bit Evaluierungsplattformen in Form von Single Board Computern in Umlauf gekommen. Bezüglich einer Verbreitung von eingebetteten RISC-V Prozessoren, die nicht dem Endnutzer sichtbar werden, lässt sich aktuell schwer einschätzen wie weit verbreitet RISC-V ist.

Als Anbieter von RISC-V Prozessor IP-Blöcken sind folgende Firmen besonders sichtbar:

- *SiFive* ist ein Start-Up im Silicon Valley. Es wurde gegründet von den RISC-V Hauptentwicklern rund um Krste Asanovic, Yunsup Lee und Andrew Waterman. Es hat viele Runden Funding erhalten, unter anderem ist Intel ein Investor.
- *Andes Technology* ist eine taiwanische Firma die Blöcke für SoCs anbietet. Es ist die fünftgrößte dieser Firmen weltweit. Seit der Gründung in 2005 hat Andes eigene Prozessorkerne mit eigenem Befehlssatz angeboten, seit 2016 fokussieren sie sich auf RISC-V.
- *Codasip* ist ein Startup aus der Tschechischen Republik und inzwischen in München ansässig. Der Fokus liegt auf applikationsspezifischen Erweiterungen und Konfiguration von RISC-V Prozessorkernen.
- *Imagination Technologies* (heute im Besitz der chinesischen Staatsführung) war in der Vergangenheit stark im Bereich GPU-Subsysteme für die Lizenzierung von SoC-Herstellern. Zuletzt wurde viel in RISC-V Prozessorkerne als Komplement dazu implementiert, zuletzt zum Beispiel ein Automotive-fähiger Prozessorkern.

2.3.3. SOFTWARE-ÖKOSYSTEM

Das Software-Ökosystem für x86 ist über die letzten 40 Jahre kontinuierlich gewachsen. Dadurch, dass alle Arbeitsplätze und Server mit x86 Prozessoren ausgestattet sind, ist das Software-Ökosystem sehr vollständig und zugänglich.

Der Fokus von Arm auf mobile Endgeräte hat zwar viele Endgeräte mit Arm hervorgebracht, aber die Software-Entwicklung, insbesondere Systemsoftware und Entwicklungswerkzeuge, lag bei Arm und seinen direkten Kunden. Maßgeblich durch den Erfolg von leistungsstarken 64-bit Smartphones kam es zur Gründung des Non-Profit Linaro durch Arm und einigen großen Kunden. Als gemeinsame Plattform hat Linaro sich das Ziel gesetzt Open Source Software für das Arm-Ökosystem gemeinsam zu pflegen.

Für RISC-V kommt die Rolle der Pflege der Software der Community und hauptsächlich Mitarbeitern der Mitgliedsfirmen zu. Historisch wurde dabei viel durch die UC Berkeley und SiFive geleistet, zunehmend durch Mitglieder der einzelnen Committees. Seit zwei Jahren gibt es darüber hinaus weitere Bestrebungen der besseren Koordination und Aktivitäten der Pflege wichtiger Open Source-Komponenten, hauptsächlich getrieben durch den RISC-V CTO Mark Himmelstein und den Vorsitzenden des neuen Software Horizontal Committee Philipp Tomsich.

RISC-V zeichnet sich durch das sehr offene Lizenzmodell aus. Die Adaption und Stabilität der Verfügbarkeit folgt dabei aber nun erst langsam nachdem die Standardisierung des Befehlssatzes vollständig wird.

2.4. Einordnung des Interesses an RISC-V aus Wissenschaft und Industrie

Im Jahr 2014 nahmen die Ambitionen zu, aus RISC-V ein größeres Projekt über die Forschung an der UC Berkeley hinaus zu machen. Mit dem lowRISC-Projekt der University of Cambridge und dem SHAKTI-Projekt des IIT Madras waren dabei weitere wissenschaftliche Projekte früh involviert. Parallel starteten die Vorbereitungen für die Gründung einer Stiftung zur Verwaltung von RISC-V. Die kommerzielle Relevanz wurde von Krste Asanović und Dave Patterson bereits in der Ankündigung, dass RISC-V ein offener Befehlssatz-Architektur werden soll, verdeutlicht: „For an ISA to be embraced by an open-source community, we believe it needs a proven commercial record.“¹⁹. Daher wurde im Hintergrund über längere Zeit die Gründung der „RISC-V Foundation“ mit vielen Firmen verhandelt und 2015 vollzogen. Zu den größten der initial ungefähr 40 Mitgliedern gehörten unter anderem Google, HP, Microsoft, NVIDIA, Oracle, Qualcomm und Western Digital.

In den Anfängen war RISC-V sehr schnell erfolgreich im Bereich der tief eingebetteten Prozessorkerne, die Spezialsoftware ausführen. Dieses sind insbesondere Prozessorkerne, die Kontrollfunktionen übernehmen. Als Beispiel seien NVIDIA Grafikkarten oder Festplatten von Western Digital genannt, auf denen RISC-V Prozessorkerne Kontrollfunktionen ausführen. Derartige Prozessorkerne waren vorher häufig selbst entwickelte Prozessorkerne mit eigenem, internem Befehlssatz, um Lizenzkosten zu sparen. Der Nachteil dieser eigenen Prozessorkerne ist, dass man Software und Werkzeuge selbst pflegen muss. Der Gedanke des „Shared Effort“ kommt in Bezug auf die

¹⁹ vgl. S. 3

<https://web.archive.org/web/20221023184739/https://www2.eecs.berkeley.edu/Pubs/TechRpts/2014/EECS-2014-146.pdf>

Entwicklung und Pflege von Entwicklungswerkzeugen, Betriebssystemen und anderen Software-Komponenten eine große Bedeutung zu.

Diese Bedeutung für diese Klasse von Prozessoren reflektiert sich in den Keynotes der ersten Workshops, die als Success Stories von RISC-V gelten sollten. So hat bereits 2016 NVIDIA den Wechsel auf RISC-V von ihrer eigenen Architektur für Microcontroller mit Kontrollaufgaben in ihren Plattformen bekanntgegeben²⁰ oder Western Digital 2018 angekündigt eine Milliarde RISC-V Prozessorkerne jährlich im Bereich Storage in den Markt zu bringen.²¹

In den Jahren 2015 bis 2021 ist die Zahl der RISC-V Mitglieder extrem stark gestiegen. Die Anzahl wissenschaftlicher Einrichtungen, die im Bereich RISC-V aktiv sind, ist sehr groß. RISC-V ist dabei nicht nur offen, weil es frei von IP-Rechten ist, sondern weil sich ein Ökosystem von Open Source Prozessorkernen etabliert hat, wie zum Beispiel dem Rocket Kern der UC Berkeley oder dem Pulp-Projekt der ETH Zürich. Parallel wurden mehr und mehr Firmen aktiv im Bereich RISC-V, wobei der breiten Masse über den Zeitraum keine Chips mit RISC-V verfügbar war. Es konnte aber wahrgenommen werden, dass einige Unternehmen intern RISC-V evaluieren und nutzen, was ebenfalls das Interesse der Hersteller von Entwicklungswerkzeugen und Zulieferern geweckt hat.

Der Zustand von RISC-V in der Industrie lässt sich heute ungefähr wie folgt beschreiben: Eine sehr große Zahl an Unternehmen im Bereich System-on-Chip, Systemsoftware und Entwicklungswerkzeugen sind Mitglieder von RISC-V International. Von allen namhaften System-on-Chip Herstellern fehlt im wesentlichen nur Apple, wobei bekannt ist, dass Apple im Bereich RISC-V rekrutiert hat²² und generell eher verschlossen ist. Über die tatsächlichen Aktivitäten der einzelnen Hersteller ist teilweise wenig bekannt, ein signifikanter Anteil scheint RISC-V zu beobachten und evaluieren, auch über die Mitglieder hinaus.

Aktuell sind einige RISC-V Prozessorkerne in Form von Chips auch frei beziehbar, hauptsächlich in der Leistungsklasse IoT und Single Board Computer, wobei die tatsächliche Verfügbarkeit von frei verfügbaren Chips erst seit etwa zwei Jahren gegeben ist. So ist zum Beispiel Espressif auf RISC-V gewechselt für die ESP32 IoT-Plattformen.

Auffällig sind globale Unterschiede. Während sich die Mitgliedschaft in der nördlichen Hemisphäre global zwischen Nordamerika, Europa und Asien etwa

²⁰ vgl. https://web.archive.org/web/20221108204742/https://riscv.org/wp-content/uploads/2016/07/Tue1100_Nvidia_RISCV_Story_V2.pdf

²¹ vgl. <https://web.archive.org/web/20201025223922/https://riscv.org/wp-content/uploads/2018/05/11.50-12.15pm-Martin-Fink-RISC-V-Presentation-Barcelona-FINAL.pdf>

²² vgl. <https://web.archive.org/web/20210903021827/https://jobs.apple.com/en-us/details/200282667/risc-v-high-performance-programmer>

gleich aufteilt, sind unter den Premier Members 16 Unternehmen aus Asien, 8 aus Nordamerika, und kein Unternehmen aus Europa. Unter den Mitgliedern des Technical Steering Committees sind europäische Unternehmen vorwiegend durch kleinere Startups vertreten. Dies lässt sich vermutlich in der Rolle von RISC-V in den drei Regionen erklären. Grundlegend finden sich wohl in allen drei Regionen Unternehmen die RISC-V evaluieren oder bereits in tief integrierten Prozessorkernen verwenden. Darüber hinaus finden sich verschiedene Rollen von RISC-V in den Regionen aufgrund lokaler Gegebenheiten:

- In den USA spielt RISC-V eine wichtige Rolle als innovative Plattform für Startups. Diese Startups haben eine signifikante Finanzierung und ambitionierte Ziele. Zu nennen sind SiFive, das Unternehmen der RISC-V Erfinder, RIVOS, Ventana und Esperanto. Diese fokussieren den IP-Cores Markt (SiFive) bzw. spezialisierte Datacenter-Prozessoren.
- In China ist RISC-V neben der Rolle als innovative Plattform für dutzende Startups, insbesondere bei großen Unternehmen und staatlichen Institutionen, bereits in signifikanter Entwicklung²³. Ein entscheidender Grund dafür ist die Lizenzsituation und insbesondere die freie Verfügbarkeit, die nicht von Handels-Sanktionen eingeschränkt werden kann. So wurde berichtet, dass China bereit sei, RISC-X als RISC-V Variante zu starten, sollten Sanktionen die RISC-V Nutzung einschränken²⁴.
- In Europa hat sich der Halbleiter-Markt über die letzten Jahrzehnte konsolidiert. Insbesondere in Deutschland spielt Automotive dabei eine signifikante Rolle. Automotive und andere Domänen, die in der europäischen Industrie stark sind, haben längere Entwicklungszyklen und RISC-V wird wohl primär in F&E evaluiert, bzw. in Produkten tief integriert. Darüber hinaus existiert eine weitaus weniger ausgeprägte Kultur der Halbleiter-Startups.

Als Gründe, die gegen einen sofortigen Wechsel zu RISC-V sprechen, nennen Unternehmen häufig:

- Die breite Verfügbarkeit von Entwicklungswerkzeugen und Software
- Die schlechte Code-Größe von RISC-V Programmen im Vergleich zu Arm

²³ vgl. zum Beispiel

<https://web.archive.org/web/20220517043741/https://riscv.org/news/2021/10/alibaba-open-sources-four-risc-v-cores-xuantie-e902-e906-c906-and-c910-jean-luca-franc-cnx-software/>

²⁴ vgl.

<https://web.archive.org/web/20220724040504/https://www.scmp.com/tech/big-tech/article/3182832/us-china-tech-war-top-chinese-scientist-envisions-forked-risc-v-chip>, ein gemeinsames Statement des zitierten Wissenschaftlers und RISC-V International hat daraufhin verdeutlicht, dass RISC-V jederzeit frei nutzbar bleibt.

- Die Gefahr einer „Fragmentierung“ durch verschiedene Implementierungen mit verschiedenen Subsets an Befehlssatzerweiterungen

Diese Punkte sind zwar in Teilen valide, aber in Diskussionen stellt sich ebenfalls heraus, dass ein weiteres Problem ist, dass RISC-V ein schnell wachsendes Ökosystem ist, dem es schwer fällt zu folgen, wenn man die Arbeitsgruppen nicht sehr nah verfolgt. So hat sich zum Beispiel im Bereich der Code-Dichte etwas durch neue Erweiterungen („Zc*“) getan und der wahrgenommenen Fragmentierung wird wie in anderen Befehlssätzen auch durch Profile und Plattformen Rechnung getragen, die aktuell erstmalig ratifiziert werden. Es handelt sich also mit der richtigen Standardisierung und Kooperation eher um eine allgemein übliche Segmentierung, als um eine Fragmentierung. Eine enge Vernetzung und gezielte, idealerweise aktive Teilnahme ist daher empfehlenswert, wenn man RISC-V näher verfolgen möchte. Gerade für deutsche und europäische Firmen liegt ein großes Potential in dieser Segmentierung, und die Anpassung an Domänen, so dass europäische Teilnehmer viel präsenter in der RISC-V Standardisierung sein müssten.

Das Interesse an RISC-V ist groß und auch in Europa wird RISC-V von vielen Unternehmen und auch Global Playern evaluiert und entwickelt. Im Vergleich zu Asien und den USA fällt dabei auf, dass die Arbeiten dabei weniger sichtbar sind und auch wenig Aktivität an der Standardisierung selbst existiert.

Da RISC-V gerade für die Anwendungsfelder mit europäischem und insbesondere deutschen Umfeld Innovationspotentiale bietet, sollten Unternehmen aus Europa eine viel stärkere Rolle in der Standardisierung von RISC-V spielen und die aktive Gestaltung mit übernehmen, statt abwartend zuzuschauen.

2.5. Diskussion des RISC-V Potenzials für Wissenschaft und Industrie

Es dürfte inzwischen klar sein, dass die Potentiale von RISC-V offensichtlich in der freien Verfügbarkeit und der Erweiterbarkeit liegen.

Aus wissenschaftlicher Sicht ist die Verwendung eines offenen und freien Standards klar favorisiert. Befehlssatz-Erweiterungen und grundlegende Forschung an Rechnerarchitekturen können so leicht untersucht und in einem realistischen Umfeld validiert werden. Gerade die Möglichkeit mit einem industrieweit akzeptierten Befehlssatz zu arbeiten, hebt die Relevanz der

Forschungsergebnisse und macht diese leichter transferierbar. Die Verfügbarkeit von Open Source Prozessorkernen aller Leistungsklassen ist ein weiterer Aspekt der Möglichkeit realistische Systeme zur Validierung und Demonstration zu starten. Ergebnisse können in Form von eigenen Open Source-Arbeiten ebenfalls zur Verfügung gestellt werden. All dies sind Aspekte, die mit den dominierenden Befehlssätzen nicht möglich sind. In Bezug auf die wissenschaftliche Sichtweise ist das Potenzial von RISC-V also offensichtlich enorm und die rapide Adaption in Forschung und Entwicklung im akademischen Umfeld zeigt dies.

Aus Sicht der Industrie ist RISC-V dabei aus denselben Gründen interessant, wenn auch mit einer anderen Motivation. Zwei Hauptgründe für die Arbeit mit RISC-V dominieren die Diskussionen aktuell: Diversifikation der Supply Chains und die Innovationsmöglichkeiten im Bereich Chip-Design.

Die Problematik der Diversifikation der Supply Chain ist durch die angekündigte Übernahme von Arm durch Nvidia und die globalen Supply Chain Probleme der letzten Jahre offensichtlich geworden. Dieses Thema hat damit ein bedeutenderes Gewicht bekommen und der Halbleiter-Industrie demonstriert, welches Gewicht einzelne Hersteller haben. Zuletzt hat der Rechtsstreit von Qualcomm und Arm diese Bedenken in Bezug auf diese Abhängigkeit manifestiert: ²⁵ Arm hat versucht zu unterbinden, dass Qualcomm nach einer Übernahme von Nuvia deren Arm-Lizenz sowie damit von Nuvia selbst entwickelte IP verwenden darf. In Folge wurde von Qualcomm im Rechtsstreit behauptet, dass es Bestrebungen von Arm gäbe, die Verwendung von IP-Blöcke anderer Hersteller in einem SoC zu verbieten, sobald ein Arm-Prozessor integriert ist.

Die Diversifikation hin zu RISC-V im Allgemeinen, aber auch insbesondere die Möglichkeit zwischen mehreren RISC-V IP-Anbietern zu wählen und zu wechseln stellt daher ein enormes Potential in der Reduzierung von Abhängigkeiten dar. Die Folge einer Diversifikation sind aber immer auch zusätzliche Kosten und Aufwände. RISC-V hat aufgrund der robusten Struktur die Möglichkeit dieses Investment zu rechtfertigen.

Neben der Supply-Chain Problematik sehen wir die verbesserte Möglichkeit innovativer Chip-Designs als Potential für die europäische und deutsche Industrie. RISC-V ermöglicht es selbst Prozessorimplementierungen zu optimieren, daran spezifische Befehlssatz-Erweiterungen durchzuführen und diese eng mit anderen Komponenten zu verzahnen. Dies ist ein Alleinstellungsmerkmal von RISC-V. Innovatives Chip-Design ist natürlich auch mit Arm-Prozessoren möglich, aber diese Möglichkeiten haben insbesondere das Potential ein innovatives Umfeld zu fördern und einen

25

vgl.

https://web.archive.org/web/20221117045248/https://www.theregister.com/2022/11/01/qualcomm_arm_cpu/

Beitrag zur besseren Zugänglichkeit von Chip-Design zu leisten. Auf mittlere Sicht kann RISC-V so einen wichtigen Beitrag zur Etablierung von innovativen Fabless-Startups bieten, die kleinere Chip-Mengen als die für Europa wichtigen IDMs adressieren.

Insgesamt bietet darüber hinaus die offene und nicht an einen Hersteller gebundene Kooperation und Möglichkeit zur Schaffung unabhängiger Plattformen ein großes Potential für eine kollaborative Entwicklung von Standards und IP entsprechend des "shared effort"-Prinzip. Dieser Aspekt sollte in europäischen Diskussionen eine besondere Rolle spielen, um die Stärke der SMEs und domänenspezifischer Systeme auszunutzen.

Für die europäische Industrie ist RISC-V insbesondere in Hinblick auf die Diversifikation durch viele Anbieter von RISC-V IP interessant. Darüber hinaus kann besonders für deutsche und europäische Innovationen RISC-V viele Möglichkeiten der Spezialisierung und Domänen- oder Anwendungsspezifischen Anpassungen ermöglichen.

2.6. Anwendungsbereiche von RISC-V

In den unterschiedlichen Anwendungsbereichen ist die aktuelle Stellung von RISC-V unterschiedlich und Potentiale müssen unterschiedlich bewertet werden.

Im Bereich der Embedded Systems muss zu allererst festgestellt werden, dass es sich um ein breites Spektrum handelt. Auf der einen Seite stehen „deeply embedded“ Mikrocontroller, die üblicherweise nur Firmware des Herstellers ausführen. Diese können heutzutage zwar weitaus komplexer sein als einfache IoT SoCs, aber durch diese Art der Verwendung sind sie anders zu betrachten und spielten bei RISC-V in den ersten Jahren die dominierende Rolle. Ankündigungen von Nvidia und Western Digital, bisher proprietäre, eigene Befehlssätze zugunsten von RISC-V abzuschaffen, waren in erster Linie durch die Effekte des „shared effort“ begründet: Die Kosten einer Arm-Lizenz schienen die Kosten einer internen Entwicklung zu übersteigen. Diese sind durch die Verwendung von RISC-V eliminiert und der Einsatz von RISC-V nahezu offensichtlich. Dieser Anwendungsbereich hat aber auch die Eigenschaft, dass es nach außen nicht sichtbar ist und davon ausgegangen werden kann, dass die Verwendung von RISC-V in dem Anwendungsbereich signifikant größer ist als öffentlich bekannt.

Im Bereich der „mid range“ Microcontroller und Mikroprozessoren für den Einsatz in IoT und ähnlichen Gebieten, differenziert sich die RISC-V Verwendung dahingehend, dass dort Applikations-Codes des Anwenders auf den Prozessorkernen ausgeführt wird. Die Portierung spezifischer SDKs ist

dabei vor allem geprägt durch die Teile des Befehlssatzes die die Integration in eine Plattform betreffen, aber im Vergleich zum Stack auf einem Server-System zum Beispiel überschaubarer. Im zeitlichen Verlauf ist es daher naheliegend, dass diese Klasse von Geräten nach einigen Jahren nachziehen. Der Wechsel von Espressif hin zu RISC-V kann daher als Validierung von RISC-V in diesem Anwendungsbiet gewertet werden.

Ein häufiger Kritikpunkt in diesen beiden Anwendungsgebieten ist die Code-Dichte von RISC-V. Ein Faktor der systematisch ist, ist die Tatsache, dass RISC-V Befehle prinzipiell nur einen Speicheroperanden haben und das Laden und Speichern eines ganzen Satzes an Registern mit einem einzigen Befehl nicht möglich ist. Dies alleine erklärt aber oft genannte Zahlen, die im Bereich von 10-25% im Vergleich zu Arm liegen, nicht vollständig. Ein weiterer Faktor ist sicher die Arbeit in Optimierungen der Compiler für andere Befehlssätze über die letzten Jahrzehnte. Eine quantitative und zitierbare Analyse liegt aktuell nach unserem Wissen nicht vor.

Zuletzt fallen auch Single Board Computer in den Bereich der Eingebetteten Systeme. Derartige Boards, vergleichbar zu dem Raspberry Pi, finden zum Beispiel Einsatz in Prototypen, aber auch Kleinserien-Produkten. Die Verfügbarkeit von RISC-V SoCs dieser Leistungsklasse und mit entsprechenden Schnittstellen nahm zuletzt zu. Insbesondere die Chip-Plattformen von T-Head (Alibaba) und StarFive (SiFive Tochterunternehmen in China) spielen eine Rolle und werden aktuell zum Beispiel in Kickstarter-Kampagnen ²⁶finanziert.

Im Anwendungsbereich der Smartphones oder anderen mobilen Endgeräten spielt RISC-V primär in China eine Rolle. Dort wird zum Beispiel ebenfalls an der Portierung von Android auf RISC-V gearbeitet und die V8 Javascript Engine portiert. Der Grund liegt offensichtlich in der Schaffung einer nationalen Alternative zu westlichen Chipsätzen.

Im Bereich der Server finden vermutlich aus demselben Grund auch viele Entwicklungen rund um RISC-V statt, auch wenn aktuell kein Datacenter Chip mit RISC-V verfügbar ist. Es kann aber davon ausgegangen werden, dass die Aktivitäten zum Beispiel von Alibaba und nationalen Forschungseinrichtungen darauf abzielen.

Wenn man auf den ersten Blick nicht vermuten würde, dass Datacenter-CPUs ein attraktives Ziel sind, weil sie massive Investitionen und Entwicklungskosten erfordern, sind eine große Zahl der RISC-V Premier

26

vgl. <https://web.archive.org/web/20220902004535/https://www.indiegogo.com/projects/nezha-your-first-64bit-risc-v-linux-sbc-for-iot> und <https://web.archive.org/web/20220831040723/https://www.kickstarter.com/projects/starfive/visionfive-2>

Member aus den USA in diesem Themenbereich aktiv. Dabei sind auf AI-optimierte Plattformen, mit spezifischen Erweiterungen der Mikro-Architektur, des Befehlssatzes und der Makro-Architektur der treibende Faktor. Diese sind signifikant mit Wagniskapital ausgestattet und haben einige der angesehensten Rechnerarchitekten angeworben. Die große Menge und attraktive Margen machen es zu einem Ziel, Produkte finden aktuell aber noch keine weite Verbreitung.

In Europa sind die Entwicklungen im Bereich der leistungsfähigen CPUs der Serverklasse im Bereich Supercomputing aktuell im Fokus. Bereits von 2019 bis 2022 war die European Processor Initiative, im Rahmen der Technologiesouveränität, mit der Entwicklung eigener Prozessorkerne befasst. Das Projekt wurde für weitere drei Jahre verlängert und hat die Roadmap bis 2025 ein Exascale-System mit eigenen CPUs zu bauen. Die General Purpose Prozessoren des Systems sollen Arm-Prozessorkerne sein, RISC-V kommt hingegen in einem Beschleuniger-Chip zum Einsatz. Das Ziel sind dabei Test-Chips für AI- und HPC-Workloads.

Im Rahmen von EPI stehen aktuell noch keine RISC-V General Purpose Prozessoren im Fokus. Diese werden aber durch zukünftige Anstrengungen adressiert. So haben Intel und das Barcelona Supercomputing Center ein gemeinsames Labor für die Entwicklung eines RISC-V HPC Prozessors gegründet. Dieses ist mit insgesamt 400 Millionen Euro von Intel und der spanischen Regierung ausgestattet ²⁷. Darüber hinaus finden aktuell Diskussionen statt, durch einen weiteren Call des EuroHPC JU der Europäischen Union, europaweit Entwicklungen hin zu diesem gemeinsamen Ziel zu fördern.

Im Desktop-Bereich spielt RISC-V keine große Rolle und diesem Anwendungsbereich wird allgemein nachgesagt wenig attraktiv zu sein. Es gibt jedoch diverse Linux-Distributionen, die lauffähige Desktops ermöglichen. Neben einem Prototyp von SiFive, scheinen dabei aber eher Single Board Computer aktuell dem Desktop am ehesten nahe. Darüber hinaus gibt es aktuell mehrere Bestrebungen basierend auf den CPU der Single Board Computer Laptops zu bauen, zum Beispiel das ROMA-Projekt.

²⁷

vgl.
<https://web.archive.org/web/20220619222948/https://www.bsc.es/news/bsc-news/bsc-and-intel-announce-joint-laboratory-the-development-future-zettascale-supercomputers>

Im Bereich der Microcontroller für IoT-Geräte und ähnliche spielt RISC-V bereits eine signifikante Rolle. Ebenfalls gibt es gleich mehrere amerikanische Startups, sowie Projekte in China die RISC-V-basierte Chips für den Einsatz in Datacentern, unter anderem im Bereich Künstliche Intelligenz verfolgen.

3. RISC-V-ÖKOSYSTEM

3.1. Vision eines (europäischen) RISC-V-Ökosystems

Für Intel-Prozessoren besteht seit Jahrzehnten ein Ökosystem insbesondere an Software-Angeboten und Systemen auf Basis von Intel-Prozessoren. Um die ARM-Architekturen haben sich zusätzlich Anbieter für Chipdesign- und Integrationsleistungen etabliert. RISC-V versucht, gleichzeitiges Wachstum dieser Anwender- und Entwickler-Ökosysteme zu erreichen.

Das RISC-V Entwicklungs-Ökosystem kann dabei nicht losgelöst von Open Source und Open Silicon insgesamt gedacht werden. Gerade der wechselseitige Austausch zwischen Open Source Softwareentwicklern, den Entwicklern von (non-core-, also nicht-Prozessor-)Komponenten als Open Silicon und der RISC-V Community hat in den letzten Jahren die schnelle Entwicklung vollständiger RISC-V Workflows und Systeme ermöglicht.

Alle drei Initiativen, also RISC-V, Open Silicon und Open Source Software, sind internationale und dezentrale Phänomene. Gerade diese Dezentralität legitimiert technische Entwicklungsentscheidungen durch eine breite Basis von Beitragenden und Anwendern. Insofern kann ein deutsches RISC-V Ökosystem dazu dienen, diese globale Entwicklung zu unterstützen, die Verfügbarkeit in Deutschland zu sichern und für Themen mit besonderem nationalen Interesse Ergänzungen beizusteuern. Beispielhaft wäre ein besonderes Engagement Deutschlands bei der Integration von Sensorik- oder Hochfrequenzkomponenten in Open Source Workflows denkbar, um die Entwicklung von Chips für Industrieautomation und Elektromobilität zu unterstützen, oder ein Engagement auf europäischer Ebene für Hochleistungsrechner.

Unabhängig davon wird die Verbreitung von RISC-V in Absatzmärkten für deutsche Produkte, wie z.B. in China, dazu führen, dass RISC-V Kompetenz verstärkt für Produktentwicklungen nachgefragt wird.

Aktuelle Studien sagen ein jährliches Wachstum bei Elektronikprodukten in den Bereichen Automotive und Industrial von jeweils ca. 10% voraus²⁸, mit Prozessoren als größtem Treiber. Während ARM in Mobilgeräten dominiert und Intel-Prozessoren in Desktop-PCs, wurden das Industrial- und Automotive-Segment früh als Zielmärkte für RISC-V benannt²⁹.

Insofern gibt es einen Überlapp zwischen den vielversprechenden Anwendungen für RISC-V und den traditionellen Stärken der Industrie in Deutschland. Das Mitwirken deutscher Unternehmen an den technischen Arbeitsgruppen innerhalb RISC-V International spiegelt dies jedoch nicht wider.

Die wichtigen Eckpunkte eines deutschen RISC-V Ökosystems als Teil einer europäischen Anstrengung sind daher:

- Aus- und Weiterbildungs-Angebote zu RISC-V und Open Silicon
- Etablierung von nationalen Teams oder Gruppen, die dauerhaft zu zentralen Open Silicon und Open Source Projekten beitragen und den Zugriff sichern
- Stärkere Mitwirkung der deutschen Industrie an RISC-V Standards und aktive inhaltliche Arbeit in den RISC-V technical working groups
- Bereitstellung von Prototyping- und Produktionskapazitäten zur Senkung der Eintrittshürde

3.2. Grundlegende Bestandteile eines RISC-V Entwicklungs-Ökosystems

Die Entwicklung von Hardware und Software erfordert eine Arbeitsteilung und weitgehende Parallelisierung von Entwicklungsprozessen. Diese Arbeitsteilung führt auf Ebene der beteiligten Organisationen und Unternehmen ein Ökosystem heraus, welches gleichzeitig Marktplatz für Teilerzeugnisse, Katalysator für zukünftige Entwicklungen und strukturgebender Rahmen ist. Im Fall von RISC-V spielen die Entwicklung von Mikrochips und digitaler Logik sowie dazu passender Software eine zentrale Rolle, daher sind die Komponenten des Ökosystems häufig deckungsgleich mit jenen zum Entwurf allgemeiner digitaler Mikrochips.

Einen aktuellen Überblick über das RISC-V Ökosystem und die verschiedenen Komponenten sowie die beteiligten Partner stellt Abbildung [Ref]³⁰ dar. Im

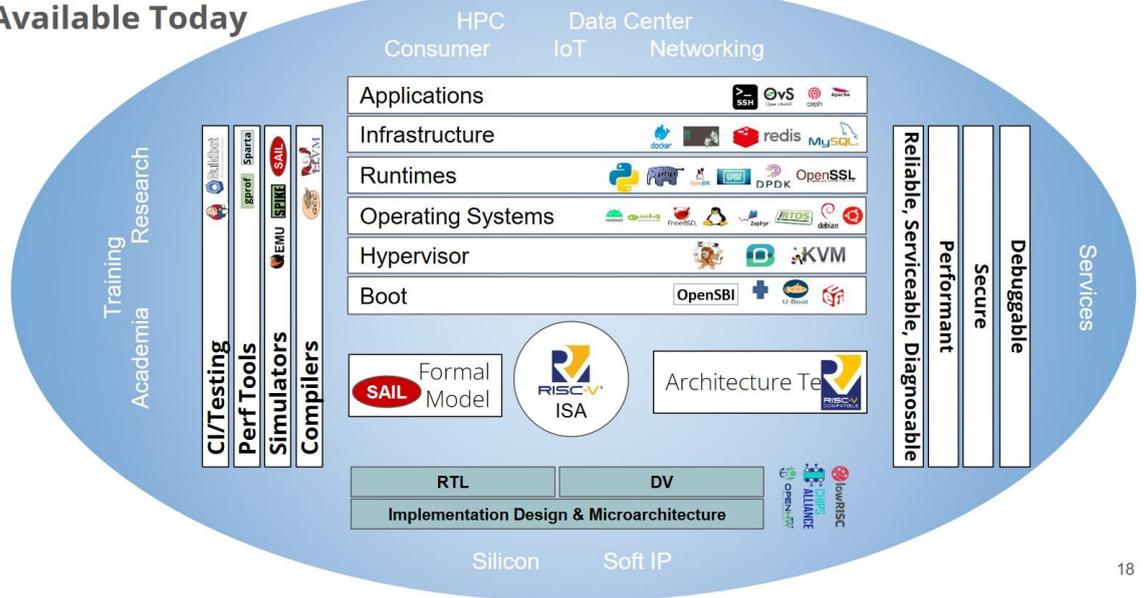
²⁸ McKinsey&Company, Perspectives on Semiconductors, November 9 2022

²⁹ <https://riscv.org/wp-content/uploads/2021/05/RISC-V-New-Era-04-19-2021.pptx>

³⁰ aus " State of the Union & The Road Ahead" von Mark Himmelstein, <https://web.archive.org/web/20220528133147/https://open-src-soc.org/2022-05/media/slides/RISC-V-International-Day-2022-05-05-09h00-Mark-Himmelstein.pdf>

Folgenden werden die Bestandteile eines Entwicklungs-Ökosystems für RISC-V Prozessoren umrissen.

Rich RISC-V Ecosystem Available Today



18

3.2.1. STANDARDS FÜR PROZESSOR-ENTWICKLUNGEN

Gemeinsame Standards bilden die Basis für jedes Ökosystem, da sie eine Arbeitsteilung und einen Austausch von Zwischenerzeugnissen ermöglichen. Im Bereich der Entwicklung von digitaler Hardware im Allgemeinen und Prozessoren im Speziellen besteht eine enge Wechselwirkung zwischen der Ausgestaltung dieser Standards und der Effizienz, mit der sie in Hardware/Software umzusetzen sind.

Für RISC-V stellen die für Standards eingeräumten Nutzungsrechte gerade die Trennlinie zwischen Open Hardware und kommerziellen Architekturen bzw. proprietären Erweiterungen dar.

ISA UND ABI

Prozessoren werden aus Sicht der Softwareentwicklung durch ihren Instruktionssatz (Instruction Set Architecture, ISA) und einen Satz von Konvention zur Verwendung der Prozessor-Ressourcen durch die Software (Application Binary Interface, ABI) definiert. Die in der entwickelten Hardware gewählten Realisierungsformen (Implementierung) des Befehlssatzes können sich stark unterscheiden. Von einfachen Zustandsautomaten bis hin zu spekulativ arbeitenden Multi-Core-Prozessoren sind viele Varianten möglich, die aus Sicht der Software allesamt die gleiche ISA abbilden.

Bekannte Beispiele für ISA sind der von Intel- und AMD-Prozessoren nahezu identisch umgesetzte x86-64 31 -Befehlssatz, der in mehreren Versionen

³¹ [Intel® 64 and IA-32 Architectures Software Developer Manuals](#)

vorhandene und in diversen SoC genutzte ARM-Befehlssatz (aktuell ARMv932) sowie die RISC-V ISA33 (Basisbefehlssatz RV32I/RV64I).

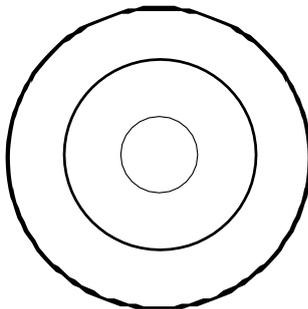
Der Umfang des Basisbefehlssatzes unterscheidet sich je nach Anbieter sehr stark.

Historisch aus CISC-Architekturen hervorgegangene ISA wie x86_64 definieren in der Basisversion deutlich über 100 Instruktionen, RISC-Architekturen wie ARMv8/T32 ca. 100 (ohne Erweiterungen, ohne Varianten) und RISC-V setzt auf sehr starke Modularisierung. Der Basisbefehlssatz RV32I umfasst daher nur ca. 20 Befehle, kann über optionale Erweiterungen aber auf weit über 100 Befehle anwachsen.

Derartige modulare Erweiterungen existieren für alle Architekturen und bieten Funktionen für anwendungsspezifische, aber dennoch häufig genutzte Operationen, wie z.B. die Verarbeitung von Vektoren (SSE, SSE2, RISC-V V-Extension) oder kryptographische Algorithmen (RISC-V J-Extension).

Die Unterstützung von Software über mehrere Prozessorgenerationen hinweg basiert auf der Stabilität von ISA und ABI.

SPEICHERMODELLE, ZUGRIFFS- UND SPEICHERSCHUTZ, MULTI-CORE SYNCHRONISATION



**ABBILDUNG 1
ZUGRIFFSEBENEN IN
ARM/INTEL/RISC-V
NOMENKLATUR**

Befehle werden in Prozessoren mit unterschiedlichen Zugriffsrechten ausgeführt, wobei die Rechte und mitunter auch die Gruppe der erlaubten Maschinenbefehle von einem aktuellen Modus abhängen. Einfache Mikrocontroller bieten ggf. nur einen einzelnen Modus mit vollen Zugriffsrechten. Mit der Einführung einer Hierarchie in der Software – insbesondere mit der Unterscheidung zwischen Betriebssystem und Applikation – geht aber die Unterstützung zusätzlicher Modi einher. Moderne Architekturen wie ARMv9, RISC-V und x86_64 definieren mindestens drei Ebenen mit unterschiedlichen Rechten und klaren Protokollen zum

Wechsel zwischen den einzelnen Modi.

Die Definition dieser „privilege level“ wird als Teil der ISA aufgefasst, aber oft in einem separaten Abschnitt behandelt.

Mit diesem Thema verwoben ist die Definition eines Speichermodells und ggf. dort verwendeter Mechanismen für den Zugriffsschutz. Das Speichermodell beschreibt die Art der Unterteilung des Speichers und den Zugriff auf diese Abschnitte. Darunter fällt z.B. die Reihenfolge, in der die Bytes von Datentypen

³² [Arm Architecture Reference Manual for A-profile architecture](#)

³³ [Specifications - RISC-V International \(riscv.org\)](#)

im Speicher abgelegt werden (little-endian, big-endian). Ein anderer Aspekt, nämlich die Frage, ob der Speicher als linear adressierbares Kontinuum aufgefasst wird oder aufgrund von Hardware-Beschränkungen in kleinere Segmente unterteilt gedacht wird ist historisch unterschiedlich beantwortet worden. Daher definieren x86_64 Prozessoren beispielsweise verschiedene Betriebs- und Zugriffsmodi zum Zweck der Abwärtskompatibilität.

Da fehlerhafte Zugriffe auf den Speicher oft eine Quelle von Sicherheitslücken darstellen und auch sonst zu kritischen Ausfällen führen können, spielt eine durch die Prozessor-Hardware unterstützte Zugriffskontrolle („physical memory protection“) eine Rolle und ist ebenfalls - oft optional zu implementierender - Bestandteil der Spezifikation.

Die Speichermodelle für Intel/AMD- und ARM-Architekturen sind in den jeweiligen Programmierhandbüchern dokumentiert. Die RISC-V base ISA definiert ein lineares Speichermodell mit „Weak Memory Ordering“ (RVWMO)³⁴ als Minimalanforderung für eine konforme Implementierung und bietet strikere Vorgaben in optionalen Erweiterungen.

ANWENDUNGSPROFILE

Durch die Modulare Architektur der ARM- und insbesondere der RISC-V ISA ergeben sich unzählige Kombinationen. Zur Vereinfachung der Entwicklung zueinander kompatibler Geräte können ISA, ISA-Erweiterungen und bestimmte obligatorische Peripheriegeräte (z.B. Interrupt-Controller) zu Gruppen zusammengefasst werden. Auf Basis dieser Gruppen lassen sich Anwendungsprofile definieren, z.B. für Prozessoren in eingebetteten Systemen, Desktop-PCs oder Hochleistungsrechnern.

RISC-V definiert periodisch aktualisierte Profile (I, M und A), welche jedoch nur die Auswahl der ISA-Module abdecken und keine weiteren Anforderungen an Peripherie oder Systemaufbau stellen. Das vielleicht populärste Profil ist RVA20U64, welches die ISA-Module eines 64-Bit Applikationsprozessors definiert.

Für die ARM-Architektur existieren ähnliche Profile für Applikationsprozessoren (A), Echtzeit-/Embedded-Systeme (R) und mobile Anwendungen (M). Diese umfassen neben den unterstützten ISA-Erweiterungen auch zusätzliche Peripherals bzw. Eigenschaften der Implementierung.

Für die Intel/AMD x86_64 Architektur sind Profile eher implizit definiert, insofern, dass Prozessorfamilien für bestimmte Anwendungen (z.B. Intel Atom) mit teils reduzierten Instruktionssätzen (z.B. ohne SSE2-Erweiterung) angeboten werden.

STANDARDS FÜR SAFETY-/SECURITY - MODELLE UND METRIKEN

³⁴ <https://github.com/riscv/riscv-isa-manual/releases/download/Ratified-IMAFDQC/riscv-spec-20191213.pdf>

Die Bewertung von Ausfallsicherheit (aufgrund zufälliger Hardware-Fehler) bzw. Informationssicherheit (gegenüber gezielten Manipulationen) wird durch die Verwendung (semi-)formaler Modelle des Prozessor-Verhaltens vereinfacht. Diese Modelle können die „goldene“ Referenz zur Bewertung realer Implementierung bilden.

Für die Ausfallsicherheit (funktionale Sicherheit) relevant ist auch die einheitliche Definition von häufig geforderten Sicherheitsfunktionen, insbesondere Überwachungsfunktionen zur Erkennung von Verarbeitungs- oder Speicherfehlern zur Laufzeit.

In der Beschreibungssprache SAIL³⁵ existieren für RISC-V formale Modelle der ISA, ebenso wie für ARMv8 und die wichtigsten x86_64-Teile³⁶.

Zur Definition von Anforderungen an funktional sichere RISC-V Prozessoren existiert noch kein ratifiziertes Dokument. Hingegen sind für ARM-Architekturen die Sicherheitsmechanismen Bestandteil der Profil-Definition (Armv8-R) und für x86_64-Prozessoren produktspezifisch als proprietäre Erweiterung definiert (z.B. Intel Safety Island(tm) in Atom-Prozessoren).

STANDARDS FÜR INTERCONNECTS UND MODULARISIERUNG

Gemeinsame Definitionen von (on-chip) Interconnects bilden die Basis der Modularisierung von digitalen Schaltungen, insbesondere SoC. Die ARM AMBA-Familie von Interconnect-Spezifikationen hat sich über alle Hersteller hinweg zum de-facto Standard entwickelt und wird auch in RISC-V Systemen genutzt.

Es existieren Alternativen aus dem Open Source / Open Hardware Umfeld wie Wishbone von OpenCores und TileLink von der CHIPS Alliance, sowie einige wenige proprietäre Wettbewerber wie CoreConnect (IBM) und Avalon (Altera).

3.2.2. HARDWARE-ENTWICKLUNG

Die Entwicklung von Geräten greift auf Komponenten in Form von integrierten Schaltungen wie ASICs, ASSP, SoC und FPGAs zurück. Diese können als Standardkomponenten vorliegen, oder für den speziellen Anwendungsfall individuell entwickelt worden sein. In beiden Fällen greifen die Hersteller der integrierten Schaltungen auf eine Vielzahl von Software-Werkzeugen, Zulieferern bzw. Entwicklungs-Dienstleistern und Anbietern fertiger Schaltungskomponenten (IP) zurück.

Die Entwicklung der integrierten Schaltung und ihre Herstellung sind dabei üblicherweise zwei von unterschiedlichen Parteien durchgeführte Prozesse.

CHIP-FOUNDRIES UND FPGA-HERSTELLER

³⁵ [3rd-RISC-V-Meeting-2021-03-30-14h00-Rishiyur-Nikhil.pdf](#) (open-src-soc.org)

³⁶ [Sail](#) (cam.ac.uk)

Bei den Herstellern integrierter Schaltungen lassen sich zwei Geschäftsmodelle unterscheiden: Foundry Service Provider prozessieren CMOS-Wafer im Auftrag von Dritten nach deren Designvorgaben. Eine Foundry bietet üblicherweise verschiedene Fertigungsprozesse an (z.B. unterschieden durch die minimalen Strukturgrößen). Die für eine Entwicklung notwendigen Daten zu den verfügbaren Bauelementen und einzuhaltenden Designregeln werden von der Foundry in Form von Process Development Kits (PDKs) bereitgestellt. Vereinzelt stellen Foundries einige ihrer Prozesse nur ausgewählten Pilot- oder Großkunden zur Verfügung, fertigen ältere Technologien aber für beliebige Entwickler weltweit. Beispiele für "pure-play" Foundries sind TSMC in Taiwan oder SMIC in China. Deutsche Anbieter von Foundry Services sind unter anderen GlobalFoundries in Dresden und XFab in Erfurt und Dresden.

Im Unterschied dazu existieren Fertigungslinien von Komponenten-Herstellern (IDM³⁷), die zur Herstellung der selbst in Verkehr gebrachten Produkte dienen und im Allgemeinen nicht für Drittentwickler zugänglich sind. Beispiele in Deutschland sind Elektronik-Hersteller wie Infineon, Bosch oder ELMOs.

FPGAs werden zwar zur Abbildung beliebiger digitaler Schaltungen durch Entwickler genutzt, stellen zunächst aber selbst Chipdesigns dar, welche von den Herstellern oder von Auftragsfertigern prozessiert werden. Von den beiden größten FPGA-Anbietern lässt Xilinx (mittlerweile Teil von AMD) die vertriebenen FPGAs in TSMC-Foundry-Prozessen herstellen, während Intel FPGAs in den eigenen Anlagen fertigt.

Für ein RISC-V Ökosystem spielen alle drei Geschäftsmodelle eine Rolle: FPGA-Hersteller setzen RISC-V IP in ihren Produkten ein³⁸, Komponenten-Hersteller verwenden RISC-V Cores als Alternative zu ARM/MIPS-Prozessoren in ihren Designs und Foundries bieten ihren Kunden für die eigenen Fertigungsprozesse optimierte RISC-V Cores an sowie passende Speicher-/Schnittstellen- und Verifikations-IP.

DESIGNHÄUSER

Anbieter von Design-Dienstleistungen können entweder ausschließlich im Kundenauftrag entwickeln oder auch eigene Produkte am Markt platzieren. Einige Designhäuser haben sich auf die Entwicklung von Unterkomponenten für Chipdesigns spezialisiert und bieten diese als IP-Blöcke anderen Entwicklern für die Integration in deren Chipdesigns an.

Bei den Auftragsentwicklern ist eine starke Spezialisierung auf bestimmte Technologien, Anwendungen oder Architekturen zu sehen – so finden sich Designhäuser, die auf den Entwurf und die Verifikation komplexer digitaler SoC spezialisiert sind neben Anbietern für Hochfrequenz- oder Sensorik-Designs.

³⁷ Integrated Device Manufacturer, IDM – ein Hersteller von Mikrochips mit eigenen Fertigungsanlagen

³⁸ [First RISC-V-Based System-on-Chip \(SoC\) FPGA Enters Mass Production | Microchip Technology](#)

Einige Anbieter haben sich auf die Koordination verteilter Entwicklungsteams in der Art eines Generalunternehmers spezialisiert und greifen auf weltweit verteilte Entwicklungsteams für Unterkomponenten zurück - die besondere Kompetenz liegt in diesem Fall in der Systempartitionierung, dem Management der Supplychain und dem Projektmanagement.

IP-ANBIETER

Durch immer komplexer werdende Designs für große SoC (beispielsweise die zentralen Komponenten in Mobiltelefonen) spielen Anbieter von Unterkomponenten eine sehr große Rolle. Die Unterkomponenten werden teils in „Core-IP“ für Mikroprozessoren und digitale Erweiterungen sowie „non-Core-IP“ für analoge oder mixed-signal Baugruppen unterschieden. Insbesondere für Speicherelemente, High-Speed Schnittstellen und Prozessoren existieren pro Fertigungsprozess teils nur einzelne Anbieter. Die enge Kopplung von analogen Schaltungsteilen an einen Fertigungsprozess sowie die hohen Investitionen in die Entwicklung einer standardkonformen Baugruppe sind Gründe für diese Konzentration.

Chip-IP kann von den Herstellern der Entwicklungstools (im Wesentlichen Synopsys, Cadence, Mentor/Siemens), von Foundries und von unabhängigen Drittanbietern bezogen werden. Ähnlich wie bei den Designdienstleistern existieren hier Anbieter, die auf wenige Anwendungen spezialisiert sind (wie z.B. für schnelle serielle Interface-Standards wie PCI-Express oder Frontends für drahtlose Kommunikationsstandards wie 5G) neben solchen mit einem breiten IP-Angebot. Auch reine IP-Vermittler bzw. -broker bieten im Auftrag der Entwickler IP am Markt an und leisten häufig zusätzlichen Support bei der Integration der IP in eigene Designs.

Designhäuser in Deutschland, welche in größerem Umfang als IP-Anbieter auftreten sind u.A. eesy-IC, racyics, codasip, SiliconRadar und AnSem.

IP-Broker in Deutschland sind insbesondere CAST und T2M.

IP: (PROZESSOR-)CORES, SOFT

Prozessoren können, wie andere digitale Schaltungen, als Sammlung von Dateien in einer Hardware-Beschreibungssprache (HDL) angeboten werden, üblicherweise in der Form synthetisierbaren, also von Chip-Designwerkzeugen automatisch weiter zu verarbeitendem RTL ³⁹ -Codes. Um diesen Code automatisiert in die Herstellungsvorlagen (Layout) übersetzen zu können sind umfangreiche Skripte für die Schaltungs-Synthese und das automatische Platzieren und Verdrahten (Place&Route) notwendig, die ggf. mitgeliefert werden. Ebenso wichtig wie die Beschreibung der Prozessor-IP sind die

³⁹ Register Transfer Level (RTL) – Eine Beschreibung des Schaltungsverhaltens auf der Ebene einfacher logischer und arithmetischer Operationen im getakteten zeitlichen Verlauf.

mitgelieferten Hardware-Beschreibungen und Skripte zur Verifikation der IP, ggf. Im Kontext eines größeren SoCs.

Eine als Soft-IP, also in Form der Hardwarebeschreibung in RTL-Code vorliegende digitale Schaltung kann von Entwicklern angepasst und in ihrer Funktion erweitert bzw. verändert werden. Sie ist aber ebenso leicht kopierbar und die enthaltenen Methoden der Implementierung einer digitalen Funktion sind einfach nachvollziehbar. Die Übergabe von RTL-Code stellt damit für den Anbieter von IP ein gewisses Risiko dar und wird üblicherweise sehr hoch vergütet, ist an starke Geheimhaltungs-Regelungen geknüpft und/oder diese Nutzungsform wird nur ausgewählten Kunden gewährt.

IP: (PROZESSOR-)CORES, HARD

Nach Erzeugung von physikalischen Fertigungsdaten für eine Prozessor-IP, also der genauen Definition der zu fertigenden Strukturen in den einzelnen Fertigungsebenen eines Chips (das "Layout"), ist die IP vergleichsweise besser gegen Manipulation und Reverse-Engineering geschützt. Sie ist allerdings auch an einen bestimmten Fertigungsprozess eines bestimmten Herstellers gebunden und kann nicht ohne erheblichen Aufwand auf einen alternativen Fertigungsprozess transferiert werden. Dies stellt die am weitesten verbreitete Lieferform von Chip-IP dar. Anstatt dem Entwickler ein vollständiges Layout der IP zu übergeben, wird häufig nur ein abstrahiertes Modell mit den für das weitere Chipdesign relevanten Informationen (wie z.B. freizuhaltende Flächen im und am Rand der IP, die Position von Ein- und Ausgangsleitungen etc.) übergeben und erst bei der Übergabe des vollständigen Chip-Designs an den Fertiger erfolgt eine Ersetzung des unvollständigen "abstracts" durch das vollständige Layout.

IP: SPEICHER

Nichtflüchtige Speicher (NVMs) wie Fuses, EEPROMs, (embedded-) Flash und insbesondere neuere Technologien wie MRAMs, FeRAMs und RRAMs, aber auch hochdichte Massenspeicher wie (embedded)DRAMs sind in ihrer Architektur und ihrem genauen Aufbau stark an die zugrundeliegende Fertigungstechnologie, den einzelnen Fertigungsprozess gekoppelt. Sie werden daher oft von Foundries angeboten oder in deren Auftrag entwickelt und von Drittanbietern bereitgestellt.

IP: INTERFACES

Die Verbindungselemente von ASICs und SoCs zur Außenwelt können einfacher Natur sein, wie z.B. im Fall langsamer digitaler Schnittstellen wie SPI, I²C oder ähnlichen. Für Hochgeschwindigkeits-Schnittstellen wie PCI-Express, DRAM-Interfaces oder drahtlose Schnittstellen existieren teils hunderte Seiten umfassenden Spezifikationsdokumente und umfangreiche Test- und Verifikationsvorschriften. Diese Komplexität wird gekapselt in IP-Komponenten von spezialisierten Anbietern in Form von Interface-IP und entsprechender Verifikations-IP bereitgestellt.

IP: VERIFIKATION

Die Überprüfung von Schaltungen auf die Einhaltung komplexer Standards (beispielsweise USB3.0, PCI-Express, LTE, ...) erfordert die Entwicklung enorm umfangreicher Testumgebungen. Der Aufwand für die Verifikation übersteigt häufig die Entwicklung der Funktionalität um ein Vielfaches. Module für die Verifikation werden daher als Verifikations-IP kommerziell angeboten und kapseln einen Teil der Komplexität in Modulen - häufig ebenfalls in Form von Hardware-Beschreibungssprachen oder System-Beschreibungssprachen wie Verilog, SystemVerilog, SystemC oder anderen.

IP: ANALOG, MIXED-SIGNAL UND RF

Der Grad der Automatisierung beim Entwurf von integrierten Schaltungen ist für analoge Komponenten wie Verstärker, Spannungsreferenzen, Oszillatoren etc. deutlich geringer als für digitale Logikteile. Insbesondere Analog-Digital- und Digital-Analog-Umsetzer (ADC/DAC), welche die Schnittstelle zwischen analoger Signalverarbeitung und digitalem System bilden, stellen daher einen Großteil der angebotenen Chip-IP überhaupt dar.

PACKAGING UND ASSEMBLY

Chips werden als Wafer gefertigt, durch Zersägen des Wafers in sogenannte "Dies" vereinzelt und müssen anschließend in geeigneter Form weiterverarbeitet werden, um in Produkten verwendet werden zu können. Die häufigste Aufbauvariante ist dabei die des Chip-Gehäuses, in welches der Die eingebracht und mit den Anschlüssen des Gehäuses verbunden wird. Die Verbindung kann mittels Drahtbond-Verbindung der Chip-Anschlüsse (Pads) zu einem metallischen Leadframe erfolgen, durch flip-chip bonden oder durch komplexere Verfahren.

Fast alle Komponenten-Hersteller bedienen sich für Standard-Packaging- bzw. Assembly-Dienstleistungen, wie dem Aufbau in Plastik-Gehäusen, bei Großserie Anbietern in Fernost. In Deutschland existieren eine Anzahl von Dienstleistern für Prototypen- und Kleinserien-Assembly.

PROTOTYPING / EMULATION

Zur Validierung der digitalen Funktion eines Chipdesigns im Systemkontext können FPGAs eingesetzt werden, zur Nachbildung analoger Komponenten und des Systemverhaltens können Hardware-in-the-Loop Systeme eingesetzt werden.

TEST-ENTWICKLUNG

Neben der eigentlichen Hardwareentwicklung spielt auch der Test des entwickelten Prototyps und späteren Serienprodukts eine wichtige Rolle. Insbesondere für anspruchsvolle Anwendungen wie Luft- und Raumfahrt, aber auch Automobil-Anwendungen, spielt die Sicherstellung zur Spezifikationseinhaltung ausgelieferter integrierter Schaltungen eine zentrale Rolle für die Sicherheit und Zuverlässigkeit. Hierfür werden neben einer geeigneten Reinrauminfrastruktur auch Testsysteme sowie Hardware, wie

Wafer-Prober oder Bauelement-Handler, benötigt. Bei dieser Hardware handelt es sich um zugekaufte Ausrüstung. Diese Ausrüstung enthält präzise Spannungs- und Stromquellen, die zur Stimulierung des ICs programmiert werden können. Neben den Quellen enthält das Testsystem Messgeräte, um die Antwort auf den Stimuli aufzeichnen zu können. In Echtzeit werden die Ergebnisse evaluiert und entschieden, ob der ICs ein Gut-Teil ist. Besonders anspruchsvoll zeigt sich hierbei der anwendungsnahe Test, der viel Know-How und geeignete Ausrüstung zur Umsetzung benötigt.

DESIGN-FLOW - ENTWICKLUNGSWERKZEUGE

Bei der Chipentwicklung kommt eine Vielzahl von Software-Werkzeugen nacheinander zum Einsatz, um ein Schaltungskonzept schrittweise in eine Implementierung zu überführen und dabei nach jedem Schritt auf Korrektheit zu prüfen. Diese Werkzeuge können für einen vollständigen Design-Flow weitgehend integriert von einem einzelnen Hersteller stammen - wie im Fall der drei großen kommerziellen Anbieter Cadence, Synopsys und Mentor/Siemens - oder sehr kleinteilig aus spezialisierten Tools zusammengesetzt werden, wie im Falle von Open-Source Design-Flows.

SIMULATOREN, EMULATOREN & REFERENZMODELLE

Zur Simulation von digitalen Schaltungen im Zeitbereich existieren kommerzielle Lösungen wie Xcelium, Questa und VCS sowie open-source Alternativen wie icarus-verilog und verilator. Die Simulatoren unterscheiden sich hinsichtlich Geschwindigkeit, simulierbarem Sprachumfang und Lizenzkosten pro Instanz. Insbesondere für Open-Source-Simulatoren im Kontrast zu kommerziellen Lösungen fällt ein Vergleich der Geschwindigkeit schwer, da eine geringere Performance pro Instanz häufig durch Verwendung vieler (da kostenloser) Instanzen ausgeglichen werden kann.

LINTING

Linting beschreibt die Überprüfung von Quellcode auf die Einhaltung von Coding Guidelines, also Richtlinien zur Erstellung von Quellcode, die geeignet sind, Fehler zu vermeiden. Zudem umfasst Linting auch den Versuch, fehlerhafte oder zumindest problematische Konstrukte im Quellcode frühzeitig zu erkennen. Alle Hersteller bieten Linting-Werkzeuge separat oder als Teil von Tools zur formalen Verifikation an. Leistungsfähige Open-Source-Tools sind insbesondere für die HDL Verilog verfügbar.

SYNTHESE / DFT

Die Übersetzung Quellcode auf RTL-Ebene oder einem höheren Abstraktionsniveau in eine Verschaltung von Elementen einer Standardzellenbibliothek wird als Synthese bezeichnet. Es existieren kommerzielle (Genus, Catapult/Oasys, DesignCompiler) und Open-Source (yosys) Werkzeuge, wobei im Open-Source-Umfeld häufig sehr spezialisierte Tools für einzelne Schritte in der Synthese miteinander kombiniert werden. Unterschiede zwischen Werkzeugen sind die Laufzeit, der erreichte Grad der

Optimierung und insbesondere die flexible Unterstützung von Techniken für Low-Power Design und Testunterstützung.

PHYSICAL IMPLEMENTATION

PLACE&ROUTE

Die automatisierte Anordnung der Standardzellen und der Verbindungen zwischen diesen auf dem Chips wird als Place&Route bezeichnet. Es existieren Produkte der drei etablierten Hersteller (Aprisa, IC Compiler, Innovus) sowie Open Source Alternativen mit unterschiedlichem Entwicklungsstand: insbesondere das Place&Route Tool Proton⁴⁰ und der aus vielen Tools für Einzelschritte gebildete Place&Route flow in OpenLANE⁴¹ haben ihre Leistungsfähigkeit für mittelgroße Designs im Bereich weniger Millionen Gates bewiesen.

FORMAL VERIFICATION

Bei den Transformationen des RTL-Quellcodes in eine synthetisierte Netzliste und darauf in ein platziertes und verdrahtetes Design werden Elemente hinzugefügt. Ursache sind Test-Funktionen wie Scan-Chains, Techniken für die Senkung des Energiebedarfs wie Clock-/Power-Gating oder auch das Ausbalancieren der Systemtaktverteilung (Clock-Tree-Generation). Die logische Äquivalenz von RTL-Code und Post-Place&Route-Netzliste sowie der formale Nachweis bestimmter Eigenschaften, z.B. mit Bezug zur Ausfallsicherheit, ist Aufgabe der Formal Verification. Hierzu existieren kommerzielle Werkzeuge wie JasperGold, Questa und VC Formal sowie die Open-Source-Implementierung Yosys/sby⁴² mit eingeschränkteren Möglichkeiten.

SIGNAL INTEGRITY, PHYSICAL VERIFICATION & SIGNOFF

3.2.3. SOFTWARE-ENTWICKLUNG

Der Bereich der Software-Entwicklung deckt sowohl die Hardware-nahe Entwicklung von Firmware und Software für embedded-Geräte ab, als auch die Entwicklung von Applikationssoftware für Geräte mit Unterstützung durch Betriebssysteme unterschiedlicher Komplexität.

COMPILER / ASSEMBLER / LINKER / BUILD-TOOLS

Die Basis der Software-Entwicklung bilden Compiler-Toolchains, welche die Verwendung von Hochsprachen wie C/C++ erlauben und diese automatisiert in das Maschinensprache-Programm für die jeweilige Zielhardware umsetzen. Neben der Anzahl der unterstützten Hochsprachen spielt hier auch der Grad,

⁴⁰ [GitHub - efabless/proton](https://github.com/efabless/proton)

⁴¹ [OpenLane Architecture - OpenLane Documentation](#)

⁴² [YosysHQ Tool Documentation](#)

der durch die Toolchain erreichten Optimierung, hinsichtlich Ausführungs­geschwindigkeit und Codegröße eine Rolle.

LIBRARIES UND LIBRARY-PORTS

Teils als Bestandteil der Compiler-Toolchain angesehen werden die Standardbibliotheken der verwendeten Hochsprachen. Diese können auch in verschiedenen Implementierungsvarianten, z.B. mit Fokus auf kleine Embedded-Systeme, vorliegen.

IDES / PROFILING / DEBUGGING

Software-Entwicklung wird durch integrierte Entwicklungsumgebungen (IDEs) unterstützt. Diese vereinfachen die Kompilierung des erstellten Codes mit unterschiedlichen Optimierungszielen, Randbedingungen und Konfigurationen. Sie bieten außerdem für das Debugging des Codes auf dem Zielgerät übersichtliche Oberflächen und Hilfsmittel zur Fehleranalyse und zur Bestimmung der Performance.

FRAMEWORKS UND INTERPRETER

Über die Funktion von Bibliotheken hinausgehend existieren komplexe Frameworks, z.B. für die Ausführung von KI-Modellen oder für beschleunigte 3D-Grafik. Obwohl beliebiger Programmcode für Zielplattformen mit verfügbarer Compiler-Toolchain prinzipiell lauffähig ist, erfolgt in diesen Anwendungen oft eine hochgradige Anpassung und Optimierung auf die Zielhardware.

BETRIEBSSYSTEME / RTOS

Für eingebettete Systeme, die einen gewissen Grad an Nebenläufigkeit in der ausgeführten Software erfordern (z.B. um Nutzereingaben und Hintergrundberechnungen auf demselben Gerät auszuführen), oder die spezielle Anforderungen an ein definiertes Zeitverhalten stellen, werden häufig Echtzeit-Betriebssysteme verwendet. Populäre Beispiele, für die eine RISC-V Portierung existiert sind Zephyr und FreeRTOS.

Diese Betriebssysteme müssen an die Architektur der verwendeten Hardware angepasst werden, um lauffähig zu sein, bzw. um über Treiber und andere Abstraktionsmechanismen die vorhandenen Schnittstellen und Subkomponenten ansprechen zu können.

BETRIEBSSYSTEME / UNIX-LIKE, MOBILE, DESKTOP UND SERVER

RISC-V wurde als skalierbare und modulare Architektur entworfen, um Implementierungen von Prozessoren für PCs/Notebooks, Mobiltelefonen, Servern und Großrechnern gleichermaßen zu ermöglichen. All diese Anwendungen setzen die Portierung der verwendeten Betriebssysteme (z.B. Android/iOS, GNU/Linux, Windows, z/OS) voraus.

3.2.4. AUS- UND WEITERBILDUNG

Das Mitwirken in einem Entwicklungs-Ökosystem setzt spezialisierte Fachkenntnisse voraus, die durch Abschlüsse, Berufspraxis, berufliche Weiterbildung und privates Engagement erworben werden. Voraussetzung dafür ist stets ein entsprechendes Angebot an Lehrangeboten im weitesten Sinne sowie der Zugriff auf Experimentierplattformen.

DOKUMENTATION / TUTORIALS / BEISPIELE

Entwicklungs-Ökosysteme fördern die Wiederverwendung zuvor entwickelter Technologien. Dies beginnt mit Architekturdokumenten wie den Standards (ISAs, Schnittstellen, Protokolle, aber bspw. auch Leitfäden für die Gestaltung von Benutzerschnittstellen). Die knappe, definitionsartige Form von Standards provoziert Fragen, welche teils in nicht-normativen Teilen der Spezifikationen behandelt werden. Ein Großteil der Fragen zur Interpretation von Standards und eine Hilfe zu deren Verständnis findet sich jedoch in begleitenden Dokumentationen. Dies sind Application Notes von konkreten Bauteilen, von Herstellern verfasste Whitepaper, Beiträge in Diskussionsforen, Blog-Posts, Videos und weitere Formate.

Das Internet und moderne Suchmaschinen haben das Auffinden dieser Art von Dokumenten, die online verfügbar sind, stark vereinfacht und sind daher das bevorzugte Rechercheinstrument und Nachschlagewerk.

4. ROLLE VON OPEN SOURCE IM RISC-V-ÖKOSYSTEM

Open Source ist im Umfeld von RISC-V von Beginn an wichtig und relevant gewesen. Auf der Seite des Standards und der Software spielt Open Source, wie auch in anderen Ökosystemen, eine signifikante Rolle. Im Sinne des Shared Effort rund um den offenen Standard RISC-V haben sich Unternehmen und Individuen intensiv eingebracht um die weit verbreitete und notwendige Open Source Software wie Betriebssysteme, Compiler und andere Werkzeuge und Frameworks zu unterstützen.

Über Open Source Software hinaus, ist das Thema Open Source Chip Design bzw. Open Source Hardware aber auch breiter in die Diskussion gekommen. Die Rolle von Open Source Hardware ist ein interessantes Differenzierungsmerkmal gegenüber anderen Befehlssatzarchitekturen, da es als offene Befehlssatzarchitektur diese Möglichkeit überhaupt erst bietet. Wichtig an dieser Stelle ist, dass wir Open Source Silicon adressieren, in Abgrenzung zu offenen Designs tangibler Hardware, wie zum Beispiel Single Board Computer.

Open Source Hardware bzw. insbesondere Open Source Silicon unterscheiden sich in ihrer Art teilweise fundamental von Open Source Software. So verhindert die irreversible Natur von Halbleiter-Chips, dass später Updates an dem Produkt vorgenommen werden. Das notwendige Vertrauen in die korrekte Funktionsweise von sogenannten IP-Blöcken wird aktuell eher kommerziellen Anbietern und den von Ihnen gegebenen Garantien entgegengebracht. Open Source bietet hier zwar Potentiale eines transparent entwickelten Gemeinguts, diese Ansätze stecken aber eindeutig in den Kinderschuhen.

Open Source Silicon existierte schon länger vor RISC-V. Zurückblickend in die Anfänge moderner Rechnersysteme war der Gedanke des Shared Efforts und der Freiheit ein Design zu verändern schon weit verbreitet. Insbesondere mit dem massiven Wachstum von Markt und Komplexität, ist das Thema Open Source Silicon erst in den späten 1990er Jahren mit dem LEON-Prozessor als quelloffene SPARC-Implementierung und OpenRISC bzw. dann auch OpenCores wiederbelebt worden. Über die Jahre 1997 bis 2015 war es jedoch eher ein Nischenthema, auch wenn es einige Erfolgs-Geschichten gab.⁴³

Mit RISC-V rückte Open Source Silicon dann wieder stärker in den Fokus, unter anderem auch weil es anfänglich stark von Seiten der RISC-V Entwickler so positioniert wurde. Aus heutiger Sicht ist dieses sicherlich als eine gute Entscheidung zu werten, hat aber auch in den weiteren Jahren dazu geführt, dass RISC-V oft für „einen Open Source Prozessor“ gehalten wurde.

4.1. Diskussion der Rolle von Open Source im RISC-V-Ökosystem

4.1.1. INTERNATIONALER VERGLEICH

Open Source Silicon war in der Zeit vor RISC-V maßgeblich aus **Europa** beeinflusst. Um 2010 war ein signifikanter Teil der aktiven, sichtbaren Community in Europa beheimatet.⁴⁴ Auch mit Aufkommen von RISC-V war ein nicht unbeachtlicher Teil der Open Source-Aktivitäten aus Europa getrieben.

⁴³ so war zum Beispiel in Samsung Smart TVs um 2010 ein OpenRISC Prozessorkern, vgl. <https://web.archive.org/web/20201025164423/https://opencores.org/forum/OpenRISC/0/4613>

⁴⁴ sowohl in der OpenCores/OpenRISC-nahen Community, als auch rund um LEON3/Gaisler

So sind zum Beispiel in den Arbeitsgruppen von Luca Benini an der ETH Zürich und Universität Bologna drei bedeutende Prozessorkerne entstanden, die heute von lowRISC⁴⁵ und der OpenHW Group⁴⁶ weitergeführt werden. Diese Arbeiten an den Prozessorkernen der „Pulp“-Kategorie existierten bereits vor RISC-V und hatten den OpenRISC-Befehlssatz implementiert. Mit einer Präsentation auf der ORConf (OpenRISC Conference) 2014 in München wurde RISC-V erstmalig einem breiteren Publikum, insbesondere im Open Source Umfeld vorgestellt. Aufgrund der absehbaren Bedeutung von RISC-V hatte das Team aus Zürich und Bologna innerhalb kurzer Zeit ihren Prozessorkern auf RISC-V migriert. Gegenüber dem „offiziellen“ Prozessorkern der UC Berkeley (Rocket) war dieser Prozessorkern in einer etablierten Beschreibungssprache leichter zugänglich und für Embedded-Anwendungen besser geeignet, und erfreute sich so großer Beliebtheit. Parallel entstand ebenfalls in Europa an der Universität Cambridge das lowRISC-Projekt, initiiert von Mitgründern von Raspberry Pi, welches ebenfalls große Bedeutung hatte. Auch heute noch spielen diese Projekte eine wichtige Rolle und Unternehmen und Institutionen aus Europa spielen eine signifikante Rolle.

In **Asien** hat zu Beginn von RISC-V primär in Indien das Indian Institute of Technology (IIT) in Madras im Rahmen des SHAKTI-Projektes eine Rolle gespielt. Die signifikante Förderung durch die indische Regierung war insbesondere durch die Ambitionen im Halbleiter-Bereich stärker zu werden getrieben und SHAKTI wurde als „indischer RISC-V“ beschrieben. Eine größere weltweite Adaption wurde aber vermutlich ebenfalls durch die Tatsache verhindert, dass die Prozessorkerne nicht in einer Standard-Beschreibungssprache geschrieben sind.

In China war 2019 die Gründung des „RISC-V International Open Source Laboratory (RIOS)“⁴⁷ am Tsinghua-Berkeley Shenzhen Institute (TBSI) die erste global wahrgenommene Aktivität im Bereich der Open Source RISC-V Prozessorkerne. Daneben sind seit 2021 gleich mehrere Prozessorkerne von T-Head, der Halbleiter-Division von Alibaba, Open Source veröffentlicht worden⁴⁸, die sich durch ihre hohe Leistungsfähigkeit auszeichnen. Ebenfalls in 2021 wurde der „XianShan“-Prozessorkern⁴⁹ von der „Chinese Academy of Sciences (CAS)“ als leistungsfähiger Prozessorkern unter einer Open Source Lizenz zur Verfügung gestellt. Es ist also erkennbar, dass das Thema Open Source in China eine zunehmende Bedeutung zu bekommen scheint, wobei erwähnt werden muss, dass die Autoren aufgrund der Barrieren keinen klaren Einblick in die Open Source Landschaft Chinas haben.

⁴⁵ <https://github.com/lowRISC/ibex>

⁴⁶ <https://github.com/openhwgroup/core-v-cores>

⁴⁷ <https://rioslab.org/>

⁴⁸ <https://github.com/T-head-Semi>

⁴⁹ <https://github.com/OpenXiangShan/XiangShan>

In den **USA** hat 2018 das DARPA Programm "Posh Open Source Hardware (POSH)" für Aufsehen gesorgt. Es handelt sich dabei um eine ganze Reihe von Projekten, die im Umfang von 35 Millionen Dollar gefördert wurden.⁵⁰ Dabei ist die Förderung sehr breit mit Open Source Designtools und Open Source Silicon IP gestreut worden, wobei ein größerer Teil in den Bereich Open Source Designtools floss. Es wurde aber auch ein RISC-V Prozessordesign "BlackParrot" gefördert, das den Anspruch hatte das "Linux für RISC-V" zu werden. Daneben sind Ethernet 10-100G Controller und das Basejump STL-Projekt mit diversen digitalen Open Source IP-Blöcken im Kontext von RISC-V basierten Chip-Design interessant.

Daneben sind viele der im Folgenden diskutierten Konsortien von amerikanischen Unternehmen und Einrichtungen getrieben. Insbesondere Unternehmen wie Google und Western Digital haben weitreichende Investitionen in Form von eigener Arbeitsleistung und als Investitionen in den Aufbau des Ökosystems um Open Source Silicon und Open Source EDA Designtools getätigt. Viele weitere Projekte sind im Umfeld von anderen Unternehmen und Universitäten entstanden. Dabei kann die Breite und Tiefe der unterschiedlichen Projekte vermutlich der insgesamt besser entwickelten Rolle von Chip-Design in den USA zugeschrieben werden.

4.1.2. OPEN SOURCE SILICON FÜR DEN EUROPÄISCHEN BEDARF

In der Diskussion um die Souveränität Europas im Bereich der Chip-Produktion wurde die Rolle von Open Source in den vergangenen Jahren zunehmend häufiger aufgebracht und wird zuletzt durch Förderungen und eine breitere Diskussion adressiert.

Die Vorteile der Verwendung von **Open Source IP** gegenüber proprietären IP-Blöcken können primär wie folgt benannt werden:

- Open Source IP ist weltweit **frei zugänglich und nutzbar**. Sie ist dahingegen entkoppelt von den ursprünglichen Autoren, dass diese IP dauerhaft verwendet werden kann ohne Möglichkeit die Lizenz zu entziehen. Als Beispiel sei hier zum Beispiel genannt, dass mit PLDA eine europäische Firma mit PCI-Express Design IP existierte, die jedoch von Rambus akquiriert wurde. Das Risiko von Handelsrestriktionen könnten also zukünftig die Nutzung der IP einschränken.
- Open Source IP erlaubt die **flexible Anpassung** der IP an die eigenen Bedürfnisse. Somit können eigene funktionale und nicht-funktionale Anforderungen und Spezialisierungen basierend auf Open Source IP durchgeführt werden. Open Source IP hat daher das Potential eine wichtige Rolle im Bereich der **Chip-Innovationen** zu spielen.

⁵⁰ vgl. <https://www.darpa.mil/program/posh-open-source-hardware>. Eine gute Übersicht über die Projektergebnisse findet sich hier: <https://github.com/aolofsson/POSH>

Ein häufiges Gegenargument zu Open Source Silicon ist, dass Halbleiter anders funktionierten als Software und Open Source daher keinen Erfolg haben könnte. Das rege Interesse der Industrie in den letzten Jahren deutet jedoch auf ein Umdenken hin. Insgesamt setzt die Verwendung von Open Source Silicon ein hohes Vertrauen in das Open Source IP voraus, das durch nachhaltige Entwicklungsprojekte hergestellt werden muss.

Der Verwendung von Open Source Silicon muss daher die Frage der Erstellung von Open Source Silicon vorangestellt werden. Die folgenden Gründe sprechen für die Teilnahme an der Erstellung von Open Source Silicon:

- Open Source Silicon IP ist eine gemeinsame Anstrengung („Shared effort“-Prinzip), die Arbeiten die jeder Teilnehmer selbst hätte zwischen den Teilnehmern zu teilen. Dies ist insbesondere in Bezug auf die Kosten für Firmen interessant.
- Open Source Silicon IP kann „Commodity“ sein, was bedeutet, dass die Ersteller der IP davon ausgehen, dass jeder diese IP frei benutzen können sollte, zum Beispiel weil es strategisch wichtig ist oder technisch als Grundlage mit niedriger schöpferischer Höhe angesehen wird.
- Inhalt und Geschichte von Open Source IP sind transparenter und können effizienter untersucht werden. Dies spielt insbesondere im Bereich der IT-Sicherheit eine wichtige Rolle.

Was sich häufig findet ist eine Schnittmenge zwischen den Erstellern und Nutzern von Open Source, sowohl Hardware als auch Software. Der grundlegende Gedanke ist oft, dass Basis-Blöcke gemeinsam erstellt werden können, während mit anderen Blöcken, bzw. anders in der Wertschöpfungskette differenziert wird.

Die Steigerung des Gedankens sich anders in der Wertschöpfungskette zu differenzieren basiert auf dem durch Joel Spolsky beschriebenen Muster „Commoditize your Complement“: Die zugrundeliegende Beobachtung ist, dass Technologie-Firmen, die mit einem Produkt erfolgreich sind, in der vertikalen Integration des Produktes andere Layer so allgemein verfügbar machen, dass es für andere Firmen in der vertikalen Integration schwer wird Konkurrenz zu werden. Dieses Prinzip wird in Open Source Software, die von großen Firmen, deren Kernprodukt die jeweilige Software gar nicht ist, zugeschrieben. Dieses Prinzip wurde auch von Eric S. Raymond in seinem Standardwerk zu Open Source „The Cathedral and the Bazaar“ beschrieben als „Open Source as a Strategic Weapon“.

Während dieses Konzept des „Commoditize your Complement“ aktuell noch keine starke Rolle in Open Source Silicon spielt, ist allgemein zu beobachten, dass sich Firmen leichter tun in Open Source Silicon aktiv zu sein, wenn sie in der vertikalen Integration nicht selbst ihre Produkte auf dem gleichen Layer anbieten. Im weiteren Verlauf werden wir uns noch Open Source Geschäftsmodellen zuwenden. Interessant ist an dieser Stelle die Frage welche

Industrie-getriebenen Open Source Silicon Projekte es gibt und welche Rolle die Industrie im Allgemeinen und die europäische Industrie im speziellen spielt.

Auch wenn – wie erwähnt – Open Source Silicon schon vor RISC-V existierte, kann von einem größeren Interesse seitens der Industrie erst seit RISC-V gesprochen werden. Dafür wollen wir den Fokus auf die drei aus westlicher Sicht wichtigsten Assoziationen setzen.

Die Open HW Group wurde von dem früheren RISC-V CEO Rick O'Connor gegründet und hat heute nahezu 100 Mitglieder. Die Mission der Open HW Group ist fokussiert auf die Bereitstellung von Open Source RISC-V Prozessorkernen für die Adaption in industriellen Produkten. Diese Einschränkung auf Prozessorkerne wurde dabei bewusst gewählt, um fokussiert zu bleiben. Ausgangspunkt dafür sind die Arbeiten der Arbeitsgruppen von Luca Benini an der ETH Zürich und der Universität Bologna, das Pulp Team. Der frühere Pulp-Kern und Ariane-Kern haben sich wie erwähnt von Beginn an großer Beliebtheit erfreut. Aus Sicht der Industrie wurden diese Kerne aber als nicht bereit für die Verwendung in Chips angesehen. Ziel der Open HW Group ist also die Pflege und insbesondere Verifikation dieser Prozessorkerne, so dass sowohl Mitglieder als auch Nicht-Mitglieder der Gruppe diese Prozessorkerne nutzen können.

Der Ansatz der Open HW Group wird offensichtlich seitens der Industrie gut angenommen, und wirft dabei ein Licht auf die grundlegende Problematik, wenn wir von Open Source Silicon und dem Vertrauen darin sprechen: Zu einem Open Source Silicon IP Block gehört weit mehr als dessen Quelltext. Unter anderem sind folgende andere Elemente zu nennen:

- Die Verifikation eines IP Blocks ist essentiell. Aufgrund der fehlenden Möglichkeit Hardware mit Updates zu versorgen, muss sichergestellt sein, dass solch ein Block möglichst wenig Fehler enthält (Errata hat nahezu jeder Block). Designverifikation kann einen ähnlich großen Umfang annehmen wie das Design selbst und es gibt etablierte Metriken, die erfüllt sein sollten.
- Die Qualität der Dokumentation muss den Ansprüchen genügen, so dass dem Verwender die Funktionsweise des IP-Blocks klar ist und die Verwendung in einem Gesamtsystem möglich ist. Nun ist der gelegentlich nicht ganz ausgereifte Zustand der Dokumentation kein Alleinstellungsmerkmal von Open Source Projekten, aber gerade im Bereich von Hardware-Blöcken muss die Dokumentation vollständig und aktuell sein.
- Die Integration des IP-Blocks muss klar dokumentiert werden. Dies ist zum Einstieg die Möglichkeit eines „Getting Started“ Leitfadens, der schnell erklärt wie mit gängigen (teils Open Source) Tools der IP-Block „ausprobiert“ werden kann. Dieser einfache Einstieg wird oft vernachlässigt. Darüber hinaus wird eine ausführliche Beschreibung aller

Schnittstellen, sowie klare Richtlinien für die Verwendung in Form von „Integration Guidelines“ benötigt, um einen Block in ein größeres Design zu integrieren.

- Das Thema Support ist eines der kritischsten im Open Source-Bereich. Es wird gelegentlich der Einwand gebracht, dass Open Source Silicon sich gerade darin von Open Source Software unterscheidet, dass ein Kontakt für Probleme kurz vor Tape-Out dringend notwendig ist und man sich nicht auf einen einzelnen Hobbyisten am anderen Ende der Welt verlassen kann. Dass diese Kritik die Realität proprietärer IP unter Umständen etwas verzerrt sei dahingestellt, wichtiger ist aber noch, dass dieser Aspekt nicht fundamental anders ist als Software. Ein Release einer Software mag zwar an sich leichter verschiebbar sein, der ökonomische Schaden ist aber durchaus ebenfalls beträchtlich. Viele Open Source Software Projekte haben jedoch die kritische Größe bzw. die industrielle Schlagkraft um diesen Support zu leisten. Darüber hinaus spielen hier Open Source Geschäftsmodelle, wie späterdiskutiert, ebenso eine Rolle.

Während an dieser Stelle den verschiedenen Elementen kein quantifiziertes Gewicht zugeordnet werden soll, ist sicher erkenntlich, dass diese schnell den Aufwand des eigentlichen Designs übersteigen können. Es sind genau diese Punkte gemeint, wenn man von „industry-ready“ spricht. Meist werden noch erfolgreiche Tapeouts dazugezählt, aber ein weiterer Punkt sind Garantien, die alle Open Source Lizenzen ausschließen. Während hierzu auch wieder anzumerken ist, dass die ökonomische Realität der Garantien proprietärer IP auch im Regelfall nicht den Schaden eines (im schlimmsten Fall) nutzlosen Produktes abdeckt, ist dies insbesondere eine Bestärkung einer noch intensiveren Betonung der oben genannten Punkte, die man an Open Source Projekte stellen wird.

Eine weitere Open Source Allianz, die im RISC-V Umfeld eine wichtige Bedeutung hat, ist die CHIPS Alliance. CHIPS steht dabei für „Common Hardware for Interfaces, Processors and Systems“, was ein weitaus größeres Spektrum an Themen als RISC-V Prozessorkerne darstellt. Aufgrund dieser größeren thematischen Breite ist die CHIPS Alliance in mehrere Working Groups aufgeteilt. Während dabei die erste RISC-V Implementierung (Rocket) und eine weitere Klasse von RISC-V Kernen mit Swerv von Western Digital jeweils mit ihrer Arbeitsgruppe vertreten sind, ist die im Open Source-Umfeld am weitesten wahrgenommene Aktivität im Bereich der Open Source EDA Tools, insbesondere die Arbeiten rund um das Verilator-Simulationswerkzeug und die SystemVerilog-Kompatibilität wahrnehmbar.

Eine interessante Ankündigung der letzten Wochen war das Projekt „Caliptra“, das von Google, Microsoft und AMD im Rahmen des Open Compute Project (OCP) gestartet wurde und dessen Open Source Silicon Referenzimplementierung über die CHIPS Alliance verfügbar sein wird. Es

handelt sich dabei um die Spezifikation und Implementierung eines Root-of-Trust Elementes, welches die Sicherheit zukünftiger Server erhöhen soll.

In einem ähnlichen Umfeld findet sich das OpenTitan-Projekt, ein weiteres populäres Projekt, das bereits seit vielen Jahren an einem Open Source Security Root-of-Trust Chip arbeitet, der auf einem RISC-V Prozessorkern basiert. Das Projekt wurde von Google gestartet, welches auch das lowRISC-Projekt in Cambridge UK für Arbeiten an dem Projekt finanziert. Weitere vier Firmen sind beteiligt, darunter die deutsche Firma Giesecke+Devrient. Der Fokus liegt auf zertifizierter Hardware, ein besonders komplexes Thema. Die technische Arbeit befasst sich mit der Erstellung der IP-Blöcke für das Design, sowie die funktionale Verifikation, sowie die Härtung gegen Seitenkanal-Angriffe. Darüber hinaus arbeitet das Team in Standardisierungs-Gremien an der Ermöglichung von Open Source in Sicherheits-Zertifizierungen.

Wie diese Beispiele von Open Source IP im RISC-V Umfeld zeigen, steigt das Interesse an Open Source Silicon seitens der Industrie zunehmend. Das Muster RISC-V Prozessor-IP aus dem akademischen Umfeld zu nehmen und in Konsortien weiterzuentwickeln scheint dabei eine besondere Bedeutung zu spielen. Die Überführung von Technology Readiness Level (TRL) 1-5 aus akademischen Projekten in TRL 6-9 für die industrielle Verwendung wird in diesen Projekten von industriellen Anwendern getrieben. Ebenfalls auffällig ist, dass es sich tatsächlich um eine Mischung aus etablierten Halbleiter-Firmen und großen Technologiefirmen, die andere Teile des Stacks abdecken, handelt.

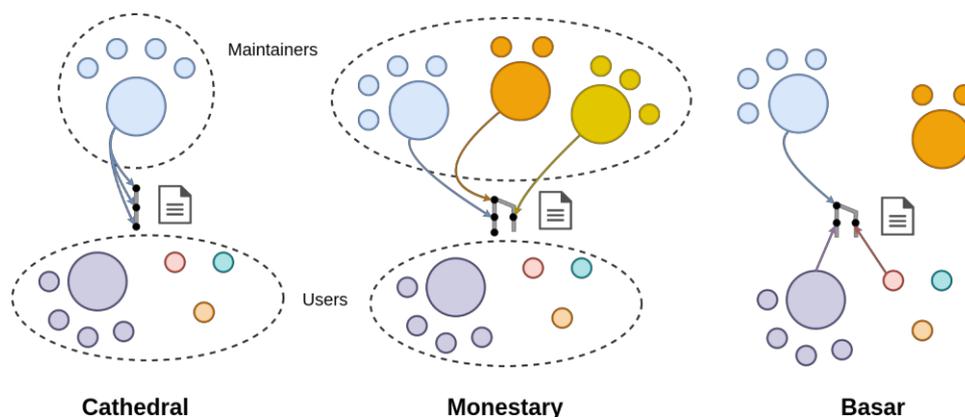
Aus westlicher Sicht zeigt sich außerdem, dass diejenigen Projekte sehr weit wahrgenommen werden, die von einem Konsortium vorangetrieben werden. Daneben spielen nur wenige andere Open Source RISC-V Prozessorkerne eine signifikante Rolle, wie etwa VexRiscv, welche Unterstützung aus einer sehr starken Community erhalten.

Allein von einer einzigen Firma vorangetrieben scheint in erster Linie Alibab/T-Head prominent, wobei beachtet werden muss, dass Open Source in erster Instanz bedeutet, dass der Code unter einer Lizenz ist, die kompatibel mit den 10 Regeln der Open Source Initiative ist. Darüber hinaus wird der Erfolg von Open Source oft der offenen Community zugeschrieben, und folgende Ansätze können unterschieden werden, wobei es beliebig viele Zwischenstufen und Variationen gibt:

- „Kathedrale“: Eine Firma, Institution oder Individuum arbeitet an Open Source Code intern, verifiziert den Code und veröffentlicht den Code sowie Dokumentation regelmäßig in Form von „Releases“. Externe Beiträge werden häufig nicht erwünscht und akzeptiert. Dieser Modus ist dann interessant für eine Firma, wenn sie intern die Arbeit allein leisten kann und konkrete Ziele verfolgt, gleichzeitig aber die Ergebnisse teilen will. Dieser Ansatz wird zum Beispiel oft in Zusammenhang mit Google- Projekten genannt.

- „Kloster“: Mehrere Firmen, Institutionen und/oder Individuen arbeiten gemeinsam an Open Source Code. Die Kommunikation findet größtenteils im Offenen statt, Ziele sind aber primär aus einem Konsortium hinaus definiert. Externe Beiträge sind selten, häufig fällt auf, dass diese Projekte gar nicht von ihrer Organisation her darauf vorbereitet sind. Diese Art von Projekt ist häufig dadurch gekennzeichnet, dass Firmen sich die Arbeit teilen wollen und an einem gemeinsamen Ergebnis interessiert sind.
- „Basar“: Eine oder mehrere Firmen, Institutionen oder Individuen betreiben ein Projekt (Maintainer), aber viele externe Firmen oder Individuen tragen zu diesem Projekt bei. Diese Art von Projekt wird zumeist mit dem Begriff „Open Source“ assoziiert, da sie den „Basar“-Aspekt von Open Source reflektiert. Diejenigen Projekte mit der besten Qualität und Nutzen ziehen mehr Nutzer und Beitragende an, Beiträge werden untersucht und übernommen, und gemeinsam entsteht ein Code, der unter vielen Augen entstanden ist und bei sich verbreitet und variiert wird.

Die folgende Abbildung stellt die verschiedenen Typen von Open Source Projekten dar⁵¹.



Auch wenn der Basar-Typ erstrebenswert wahrgenommen wird, hat er Einschränkungen: Zum einen erfordert es hohen Aufwand diese Projekte zu managen, der zwar idealerweise am Ende zu einem umfangreicheren Ergebnis geholt werden kann, aber eine Investition und Durchhaltevermögen erfordert. Zum anderen gibt es gerade im Umfeld von Open Source Silicon Vorbehalte gegen diese Art von Projekten, weil man sich von einem Maintainer abhängig macht, und zum anderen vermutet wird, dass die Qualität darunter leidet, weil dort einfach Code eingebaut werden kann. Dieser zweite Vorbehalt kann teilweise durch Projekte mit mehreren Maintainern entkräftet werden.

⁵¹ von Stefan Wallentowitz, Free and Open Source Silicon Research, <https://github.com/wallento/fossi-research>, CC-BY-SA 4.0

Bedeutender ist aber der Einwand, dass schlechter Code oder gar „Backdoors“ durch Dritte in das Projekt gelangen können. Dazu ist zum einen festzustellen, dass dies auch bei proprietärem Code ein Problem darstellt und sich Open Source Projekte hier erstmal nicht unterscheiden. Zum anderen sind insbesondere die bereits genannten Komponenten, die über den eigentlichen Code hinaus gehen, insbesondere Verifikation, in derartigen Basar-Projekten notwendig. Diese entstehen sogar tendenziell eher als bei den anderen beiden Typen von Projekten, weil eine größere Community Beiträge entsprechend der jeweiligen Kompetenzen leisten kann.

Insgesamt ist es aber so, dass die Typen von Open Source Projekten direkt von der Größe der Community abhängig sind und diesbezüglich steht Open Source Silicon noch am Anfang einer Entwicklung, die Open Source Software bereits seit 40 Jahren durchläuft.

Wir sind in Summe der Ansicht, dass die Bildung kleiner, industrie-getriebener Konsortien, die Entwicklung für sie relevanter IP-Blöcke vorantreiben und dabei für sich selbst einen Weg finden mit externen Beitragenden zusammenzuarbeiten. In akademischen Projekten generierte IP-Blöcke können dabei der Ausgangspunkt sein, der Übergang sollte – basierend auf bereits in F&E Projekten entstandenen Projekten – erleichtert werden.

Neben den organisatorischen Rahmenbedingungen für Open Source Silicon gibt es technische Hemmnisse. Wir haben hier primär den Fokus auf RISC-V Prozessoren gelegt, die das Herz eines System-on-Chip darstellen. Während diese durchaus komplexe IP-Blöcke sind, ist die Integration von Prozessorkernen, die nicht im Bereich hoher Taktraten arbeiten, verhältnismäßig gut möglich. Problematischer wird es mit IP um die Prozessorkerne herum, insbesondere Schnittstellen. Jede Art von analoger IP muss für jeden speziellen Fabrikationsprozess optimiert werden. Dies ist zum einen ein erheblicher Aufwand, zum anderen erschwert es diese IP-Blöcke vollständig unter einer Open Source Lizenz zur Verfügung zu stellen, weil die notwendigen Daten aufgrund von notwendiger vertraglicher Vereinbarung mit den Fabs nicht möglich sind.

Zusammenfassend betrachtet ist die europäische Industrie und anwendungsnahe Forschung gut aufgestellt um gemeinsam an Open Source Silicon zu arbeiten. So nehmen europäische Unternehmen bereits an Industrie-Konsortien ein. Aufgrund der Größe der Community und dem Neugigkeitswert von Open Source Silicon sehen wir die Mitarbeit und aktive Gestaltung globaler, offener Open Source Projekte als zu bevorzugen an. Dies bezieht sich insbesondere auf allgemein benötigte IP-Blöcke, einen spezifischen europäischen „Fork“ von derartigen Projekten braucht es nicht. Durch die aktive Mitarbeit und Gestaltung besteht im Falle von Handelsbarrieren oder anderen rechtlichen oder politischen Problemen so schnell die Möglichkeit diese Projekte autonom weiterzuentwickeln.

Für spezifische europäische IP-Blöcke, die im weiteren Verlauf kurz diskutiert werden, besteht unter Umständen der Bedarf eigene Open Source Silicon-Projekte zu starten. Für diese sollte es unserer Meinung nach keine Einschränkung in Bezug auf die Organisationsform geben. Häufig ist der Pfad von einer "Kloster"-Organisation, die durch Förderprojekte entstanden sind, hin zu einer offenen "Basar"-Organisation wünschenswert. Aufwände für den weiteren Betrieb dieser Open Source-Projekte sollten weiterhin aus Reihen der ursprünglichen Autoren kommen. Eine Übergabe in eine spezifische Organisation, die nicht ein originäres eigenes Interesse an der Verwendung der IP-Blöcke hat, hat für den weiteren Betrieb nach unserer Einschätzung wenig Aussicht auf nachhaltigen Erfolg. Unterstützung beim "Community-Management" und der Vermarktung scheint hingegen sehr sinnvoll. Um das Risiko der Verweigerung zu minimieren, sollten (Förder-)Projekte darauf ausgelegt werden, dass die nachhaltige Weiterentwicklung und Betreuung durch die teilnehmenden Partner sichergestellt sind, entweder als offener Verbund oder in Form von Allianzen und Konsortien.

Während wir hier für ein offenes Kollaborationsmodell mit etablierten Modi argumentieren, sollte der Treiber für Open Source-Projekte dabei in so frühen Technologiephasen der tatsächliche Bedarf sein. So hat Michael Taylor von der University of Washington kürzlich in einem Artikel mit dem provokanten Titel "Your Agile Open Source HW Stinks (Because It Is Not a System)"⁵² die These aufgestellt, dass agile Open Source Silicon IP-Projekte zwar spannend sind, aber unter Umständen an dem Bedarf der Nutzer vorbei gehen. Insbesondere wird dieses oft als eine Stärke der europäischen Industrie und Forschung angesehen, an dem Bedarf der Industrie orientiert zu sein. Daher wollen wir im Folgenden noch die branchenspezifischen Besonderheiten europäischer und deutscher Kernmärkte diskutieren, bevor wir dieses Kapitel mit einem zusammenfassenden Blick in mögliche Geschäftsmodelle abschließen.

⁵² erschienen in 2020 IEEE/ACM International Conference On Computer Aided Design (ICCAD), <https://ieeexplore.ieee.org/document/9256743>

Ein erfolgreiches Modell für die gemeinsame Arbeit an Open Source existiert insbesondere häufig, wenn sich Firmen zusammenschließen, die einen Bedarf an dem generierten IP haben, gleichzeitig aber nicht dieses IP zentraler Teil der eigenen Wertschöpfung ist.

In den vergangenen Jahren haben derartige Konsortien häufig Open Source IP aus akademischen Projekten genommen und dieses "industry-ready" gemacht, also es auf ein anderes Technology Readiness Level gebracht. Wichtig ist unserer Ansicht nach dabei, dass dauerhafter Support durch die Original-Autoren sichergestellt ist.

4.1.3. BRANCHENSPEZIFISCHE BESONDERHEITEN

In Europa und insbesondere Deutschland sind einige Branchen sehr essentiell. Insbesondere Automotive, Industrietechnik und Medizintechnik sind hier zu nennen. Die Ansprüche in diesen Feldern, vorwiegend in Hinblick auf nichtfunktionale Anforderungen wie funktionale Sicherheit, unterscheiden sich dabei schon in einigen Teilen von denen eines General Purpose IT-Systems. Im Bereich des Hardware-Design muss jedoch festgehalten werden, dass die Entwicklungsprozesse ohnehin viel stärkere Verifikation beinhalten als im Software-Umfeld, da auch ein unbrauchbarer General Purpose Chip in kleiner Strukturgröße nicht akzeptabel ist.

Generell lässt sich in diesen Feldern kein absolutes Hindernis identifizieren, das nicht durch Arbeit mit den Standardisierungsgremien und den Standards entsprechende Entwicklungsprozesse adressieren lässt. Ein fundamentaler Unterschied zwischen proprietären und Open Source Projekten ist im eigentlichen Sinne die Offenheit der Quelltexte. Insofern diese Eigenschaft problematisch ist, muss diese adressiert werden. Im Umfeld der IT-Sicherheit spielt dieser Aspekt zum Beispiel in einigen Verfahren eine Rolle und wird entsprechend in den Gremien diskutiert und umgesetzt.⁵³

Darüber hinaus können Prozesse und Methoden ebenso auf Open Source Silicon angewandt werden. Ein generell wahrgenommenes Problem ist dabei jedoch, dass Unternehmen und andere Partner ein gemeinsames Investment tätigen, das hinterher überall weltweit genutzt werden kann. Dieses ist ein grundlegendes Thema von Open Source und eine geförderte Aktivität könnte ein Anreiz sein, sich in solch einem Projekt einzubringen und angemeinsamer IP für spezielle, zertifizierte Bereiche zu arbeiten. Ausgangspunkt derartiger

⁵³ zum Beispiel in SOG-IS JHAS

Projekte sollten im Idealfall immer bereits existierende Projekte sein, in die man spezifische Erweiterungen einbringt (wie etwa im Bereich der Open Source EDA-Werkzeuge) oder eine Variante für die spezifische Domäne schafft. Die Schaffung von Silos sollte dabei weitestgehend vermieden werden und der weltweite Austausch und Shared Effort-Gedanke gefördert werden. Die Spezifika sollten so weit wie möglich beigetragen oder orthogonal zu den Projekten gehandhabt werden. Eigene Konsortien können dann gemeinsam in einem globalen Ökosystem arbeiten, mit der Absicherung die bereits vorher erwähnt wurde, das Projekt im Zweifel selbst weiterführen zu können.

Auch branchenspezifische Besonderheiten stehen Open Source Silicon nicht automatisch im Wege. Eine sinnhafte Verknüpfung regulatorischer Besonderheiten mit Open Source ist sicher nicht unmöglich. Als Anreiz der gemeinsamen Arbeit und zur Vermeidung von Silos kann insbesondere Förderung entlang der Wertschöpfungskette eine Rolle spielen.

4.1.4. DISKUSSION MÖGLICHER GESCHÄFTSMODELLE

Vorher wurden bereits einige Arten von Open Source-Engagement diskutiert, die wir beobachten und als Modelle für europäische und deutsche Kooperationen sehen. Allen Modellen liegt eine intrinsische Motivation der beteiligten Partner zugrunde, die in unseren Augen vorliegen muss damit diese Projekte erfolgreich sind. Aufgrund der aktuellen Lage kann man davon ausgehen, dass diese vorhanden ist, so dass die Projekte sich selbst tragen und starten können. Das dominierende Geschäftsmodell ist über das "Shared Effort"-Prinzip die Aktivität im Projekt als Hebel der eigenen Entwicklung zu sehen.

Darüber hinaus gibt es etablierte Geschäftsmodelle, die für kommerzielle Aktivitäten rund um Open Source Projekte erprobt sind. Diese sind jedoch in dem Umfeld von Open Source Silicon weitestgehend unerprobt. Ein Modell mit niedrigen Barrieren ist dabei das Angebot von Beratungs- und Auftragsarbeiten in Ergänzung zu dem Open Source-Projekt. So können Firmen spezifische Änderungen an dem Open Source-Projekt bei den Maintainern selbst direkt finanzieren.

Im Kontext von Open Source Silicon sehen wir perspektivisch ein Modell in dem sich Spin-Outs und Start-Ups zum Beispiel aus den Konsortien bzw. Projekten herausbilden, die professionellen Support anbieten. Diese Art von Geschäftsmodell ähnelt dem des klassischen IP-Anbieters und ein häufiges Feedback ist, dass diese Art von Support für IP-Blöcke generell benötigt und in Anspruch genommen wird, egal ob proprietär oder Open Source. Im

Rahmen dieses Modell kann ein Unternehmen im Auftrag der Kunden Features im Open Source Code umsetzen und darüber hinaus Unterstützung bei der Integration und bei Tests liefern. Durch die Offenheit des Projektes kann man außerdem hoffen, dass sich ein „Basar“ ergibt, so dass die Firma am Ende aus dem Open Source-Dasein zusätzliche Wertschöpfung generieren kann. Ein derartiges Modell wurde schon öfter erprobt, ist bisher aber an der kritischen Masse weitestgehend gescheitert. Es müssen Maßnahmen diskutiert werden wie die Nachfrage nach dem IP erzeugt werden kann, zum Beispiel durch ein Commitment anderer Firmen in Konsortien.

Das Thema Open Source Lizenzen haben wir aufgrund der rechtlichen Komplexität hier ausgespart. Es gibt generell Bedenken in Bezug auf sogenannte Copyleft-Lizenzen, eine Thematik die sich auch im Umfeld der Open Source Software seit Jahrzehnten zieht. Die darunterliegende moralische Diskussion ist in weiten Teilen übertragbar, viele Open Source Silicon Proponenten, wie Rick O'Connor von der Open HW Group, sagen jedoch, dass die Industrie nur permissive Lizenzen akzeptieren wird. Während dies eine spannende Diskussion ist, würden wir zu diesem Zeitpunkt auf sorgfältige Beratung setzen, die in Summe zu Best Practices führen kann. Ein weiteres Problem ist aber das sogenannte Dual Licensing. Hier verwendet eine Firma eine Copyleft-Lizenz, die erfordert, dass mindestens Änderungen oder gar ein eigener Code ebenfalls unter einer kompatiblen Lizenz veröffentlicht werden. Während dies – wie bereits erwähnt – per se erstmal diskutiert werden kann, stellt die Firma beim Dual Licensing den IP-Block zusätzlich unter einer proprietären Lizenz zur Verfügung. Die tatsächliche Idee und Werte hinter Copyleft werden dabei etwas verbogen und eher der Gedanke verfolgt, dass Open Source zum Evaluieren genutzt werden kann, aber eine „normale“ Lizenz für die Produktion gekauft werden muss. Dies ist in unseren Augen auch hier nicht zielführend, da es externe Beiträge ausschließt, eine Verwendung dieses Modells sollte wohl bedacht sein.

Das bevorzugte und leichter erreichbare Geschäftsmodell ist die gemeinsame vorwettbewerblich Entwicklung, Pflege und Verwendung von Open Source Silicon IP durch diejenigen Unternehmen, die dieses IP in ihrer Wertschöpfung benötigen.

Die Etablierung von Service-orientierten Unternehmen um Open Source Silicon IP unterscheidet sich darüber hinaus zwar nicht fundamental von proprietärer IP, ist aber insgesamt als Geschäftsmodell komplexer und vermutlich nachgelagert.

5. AUFBAU EINES EUROPÄISCHEN RISC-V-ÖKOSYSTEMS

5.1. Bedeutung eines europäischen RISC-V Ökosystems

Die Etablierung eines europäischen RISC-V Ökosystems kann im weiteren Sinne als die Absicht verstanden werden, für alle in Abschnitt 3.2 beschriebenen Bestandteile eines Chipentwicklungs-Ökosystems mindestens einen europäischen Anbieter sicherzustellen, oder in einem engeren Sinn, der nur die Entwicklung von RISC-V Prozessoren und jene von Produkten mit darin enthaltenen RISC-V Prozessoren berücksichtigt.

Bei der ersten, weiteren Betrachtungsweise spielen langfristige Aspekte des Zugangs zur Fertigungs-Infrastruktur, wie zum Beispiel CMOS-Fabs, dem Zugang zu Chipdesign-Tools und Chip-IP sowie der Ausbildung einer ausreichend großen Gruppe von Chipdesignern ineinander. In der zweiten, engeren Betrachtungsweise stehen die unmittelbaren Auswirkungen von RISC-V auf Geschäftsmodelle, Innovation und Wettbewerbsfähigkeit im Fokus. Im Folgenden soll zunächst die zweite, engere Betrachtung versucht und abschließend um einige weiterreichende Aspekte ergänzt werden.

Die Versprechen von RISC-V und Open Source Silicon, nämlich die flexible und kostengünstige Verwendbarkeit, Vermeidung von Vendor-Lock-In und Schutz vor manipulierten Geräten, haben für Europa auf mehreren Ebenen Bedeutung, die im Folgenden einzeln betrachtet werden sollen. Dabei ist festzustellen, dass RISC-V und Open Source Silicon weder synonym sind, noch das eine das andere bedingt. Im Folgenden wird aber der Open Source Silicon-Anteil eines RISC-V Ökosystems immer wieder thematisiert um die Verknüpfung der Potentiale zu verdeutlichen.

5.1.1. FLEXIBILITÄT ALS INNOVATIONSTREIBER

Die freie Verwendbarkeit der RISC-V Spezifikation für eigene Implementierungen erlaubt die Entwicklung applikationsspezifischer Rechenkerne, bei denen die Rechenleistung, der Flächenbedarf und die Leistungsaufnahme optimal auf einen bestimmten Einsatzzweck abgestimmt sind. Diese Art von „custom computing cores“ oder „domain-specific computing cores“ können beispielsweise für Produktentwicklungen im Bereich eingebetteter KI, intelligenter Leistungselektronik, medizinischer Wearables und vielen weiteren verwendet werden.

Gerade kleinere Unternehmen und Start-Ups können durch domänenspezifische Chipentwicklungen, Alleinstellungsmerkmale und eine gewisse technische Hürde Nachbauten erreichen. Die Modularität von RISC-V erlaubt dabei die weitgehende Kompatibilität derartiger Spezialprozessoren mit existierender Software - oder zumindest eine leichte Portierbarkeit - sowie die Verfügbarkeit von erprobten Werkzeugen für Verifikation und Test. Das gemeinsame Ökosystem als Basis erlaubt also eine Diversifizierung und Spezialisierung ohne hohe Investitionen und Risiken.

5.1.2. ABSICHERUNG VON LIEFERKETTEN

Zueinander kompatible und in ihrer Performance gleichwertige RISC-V Prozessoren können prinzipiell von einer Vielzahl von Herstellern entwickelt werden. Im Bedarfsfall können auch FPGA-basierte Lösungen mit RISC-V Softcores als kurzfristiger Ersatz zum Einsatz kommen und im RTL-Quellcode vorliegendes Design, z.B. von Open-Source Cores, können zeitnah auf neue Fertigungsprozesse portiert werden.

Dadurch wird die Abhängigkeit von einzelnen Herstellern und Entwicklern prinzipiell verringert. Gleichwohl sind gerade die differenzierenden Elemente verschiedener RISC-V basierter Chipdesigns (wie z.B. proprietäre Erweiterungen, analoge Baugruppen und Firmware) von dieser Möglichkeit der Re-Implementierung oder Portierung durch Drittanbieter häufig ausgenommen.

5.1.3. KOSTENVORTEILE

Die kostenfreie Verwendbarkeit der RISC-V Spezifikationen und vieler Open Source Implementierungen bietet, analog zur Verwendung von Open Source Komponenten in Software, die Möglichkeit der Kosteneinsparung. Dies betrifft die Initialkosten einer Chipentwicklung, da keine Core-Lizenzen für die Implementierung oder Verwendung erworben werden müssen, sowie die Gesamtaufwände für eine Entwicklung, da für Verifikation und Test auf bestehende Blaupausen und Teilkomponenten zurückgegriffen werden kann.

Der Einsparungseffekt ist bei zwei Arten von Chipentwicklungen besonders hoch:

- In kleinen Mixed-Signal-Designs, wie sie z.B. in Sensoren verwendet werden, ist die Integration eines programmierbaren Rechenkerns häufig nützlich, um die Anzahl extern benötigter Bauteile zu begrenzen und das System damit kompakter zu machen oder um die Flexibilität zu erhöhen, z.B. für Produktvarianten oder Fehlerkorrekturen. Die Rechenleistung und Ausstattung des Cores sind hier oft zweitrangig. Die Lizenzierung eines kommerziellen Cores rechnet sich daher häufig nicht, Open Source Implementierungen können hingegen rechtliche Probleme oder eine mangelnde Kompatibilität zu Entwicklungstools und bestehender Software mit sich bringen. RISC-V Cores kleiner und mittlerer Leistung werden von vielen Anbietern kommerziell vertrieben, durch den Wettbewerb sind die Lizenzen günstig. Open Source Implementierungen von RISC-V sind weniger von rechtlichen Problemen betroffen und werden vom Rest des Ökosystems besser unterstützt.
- In sehr komplexen SoC mit einer Vielzahl von integrierten Cores tragen die Lizenzkosten signifikant zu den Gesamtkosten bei und eine Umstellung des Geschäftsmodells beim Lizenzgeber (z.B. hin zu einer Lizenzgebühr pro Core anstelle einer Pauschale) birgt ein schlecht kalkulierbares Risiko. Open Source RISC-V Implementierungen sind ggf.

nicht leistungsfähig genug, um die Anforderung in diesen Anwendungen zu bedienen, aber RISC-V führt auch bei high-performance Implementierungen zu mehr Wettbewerb zwischen den Anbietern und daraus resultierend zu flexibleren Lizenzierungsmodellen.

5.1.4. SICHERHEIT UND ZUVERLÄSSIGKEIT

Open Source Implementierungen der RISC-V Spezifikation bieten Zugriff auf den RTL-Quellcode und sind damit prinzipiell auditierbar. Sie unterliegen außerdem der Kontrolle durch eine Vielzahl freiwilliger Mitwirkender. Damit bieten sie die gleichen Vor- und Nachteile hinsichtlich Safety und Security wie Open Source Softwareprojekte.

Bei kommerziellen RISC-V Implementierungen fällt diese Zugriffsmöglichkeit weg. Die gemeinschaftliche Weiterentwicklung der RISC-V Standards in den technischen Arbeitsgruppen durch eine Vielzahl von Beteiligten trägt jedoch zur konzeptionellen Robustheit bei und die unabhängig erfolgende Entwicklung von Tests, goldenen Referenzmodellen, Verifikations-IP usw. ermöglicht eine bessere unabhängige Überprüfung der Implementierungen. Zudem können bei neuen Chipdesigns Forderungen nach zusätzlichen Sicherheitsfeatures einfacher umgesetzt werden und sich Designs damit schneller dem Stand der Wissenschaft und Technik anpassen als bei einer zentral gesteuerten Entwicklung.

5.1.5. WEITERE ASPEKTE UND FAZIT

Die Vorteile eines RISC-V Ökosystem in Deutschland wirken sich aus, solange insgesamt Zugriff auf Chipdesign-Werkzeuge und kritische Chipdesign-IP besteht. Für Open Source Chipdesign-Werkzeuge ist keine Einschränkung des Zugriffs zu erwarten. Unabhängig davon, ob die Koordinierung in Deutschland geleistet wird, erfolgt ihre Entwicklung dezentral. Die Leistungsfähigkeit von Open Source Werkzeugen für Chip-Designs mittlerer Komplexität wurde bereits bewiesen und könnte in Zukunft gesteigert werden. Für komplexe SoC-Designs stehen europäische Anbieter für Entwurfswerkzeuge zur Verfügung.

Chipdesigns auf Basis von RISC-V hängen jedoch neben den Entwurfswerkzeugen von der Verfügbarkeit weiterer kritischer Chipdesign-IP, insbesondere von Schnittstellen und Speichern, ab. Für diese Komponenten existieren weitgehend keine freien Lösungen im Sinne von Open Silicon und keine kommerziellen Angebote aus Deutschland.

Durch RISC-V wird eine von mehreren kommerziellen Hürden für den Einstieg von KMU in Chipdesigns beseitigt. Die Bedeutung eines deutschen RISC-V Ökosystems liegt daher vor allem in der Steigerung der Innovationskraft. Weitere Vorteile im Hinblick auf Produktkosten, Sicherheit und Verfügbarkeit sind ebenfalls vorhanden, jedoch in geringerem Ausmaß.

5.1.6. STAKEHOLDER EINES RISC-V-ÖKOSYSTEMS IN DEUTSCHLAND UND EUROPA

Stakeholder eines RISC-V Ökosystems sind Anwender und Integratoren von RISC-V basierten Prozessoren, ebenso wie Entwickler von anwendungsspezifischen Chips (ASICs, ASSPs) und FPGA-Systemen. Damit spielt RISC-V für einen Großteil der Elektronik-Industrie eine Rolle als Plattform für zukünftige Entwicklungen. Besonders involviert sind Unternehmen, deren Geschäftsmodell sich auf Open Silicon Komponenten wie RISC-V oder auf ein Angebot von Dienstleistungen rund um diese Komponenten stützt sowie Forschungseinrichtungen, die sich über die Vermittlung von Computer-Architektur-Wissen hinaus in die Entwicklung der RISC-V Standards einbringen.

Eine Auswahl, von aus Sicht der Autoren, besonders in RISC-V involvierter Organisationen oder Unternehmen aus Deutschland ist in Tabelle 1 gegeben.

TABELLE 1 AUSWAHL AN RISC-V STAKEHOLDERN IN DEUTSCHLAND

Forschungseinrichtungen		
edacentrum	Open Source EDA Toolchain, RISC-V Anwenderkreis	www.edacentrum.de
Fraunhofer-Gesellschaft	RISC-V Cores, RISC-V Meetups, Security-Erweiterung	www.mikroelektronik.fraunhofer.de
Hochschulen		
Hochschule Rhein-Main	RISC-V post-quantum crypto	www.hs-rm.de
Universität Lübeck	RISC-V Vector Extension	www.itl.uni-luebeck.de
TU München	RISC-V Security Extensions	www.sec.in.tum.de
Uni Bremen	RISC-V virtual prototypes	www.informatik.uni-bremen.de/agra/projects/risc-v
Unternehmen		
NXP	RISC-V basierte Mikrocontroller	www.nxp.com

Siemens / OneSpin	Formal Verification für RISC-V Cores	www.onespin.com
Infineon	RISC-V basierte embedded Prozessoren	www.infineon.de
MinRes	RISC-V development kits	www.minres.com
Codasip	RISC-V core IP	www.codasip.com
Intel	RISC-V soft IP	http://pathfinder.intel.com
Netzwerke, Gruppen und Projekte		
Velektronik	u.A. Projekte zur formalen Verifikation von RISC-V automotive Cores	www.velektronik.de
Scale4Edge	RISC-V für Edge AI Anwendungen	www.elektronikforschung.de/projekte/zuse-scale4edge

5.2. Kurzbewertung der Kommissions-Roadmap für RISC V in Europa

Der von den Mitgliedern der Open Source Hardware & Software Working Group Report "Recommendations and Roadmap for European Sovereignty in Open Source Hardware, Software, and RISC-V Technologies" ⁵⁴ stellt das Ökosystems, des europäischen Bedarfs und die erhofften Auswirkungen von Investitionen in RISC-V und Open Hardware umfangreich dar. Sie decken sich im Grundtenor und weitgehend mit den Bewertungen in dieser Studie.

Die im Report vorgeschlagene Roadmap zielt vordergründig auf eine Weiterentwicklung der Fähigkeiten von europäischen IDMs. Dies betrifft z.B. das Design von SoCs in modernen Technologieknoten, den Aufbau von SoC/SiP aus Chiplelets und den Ersatz von Applikationsprozessoren durch RISC-V-Äquivalente. Die Trennung in große und kleine Unternehmen zielt so primär auf die technologischen Kernprodukte und Fähigkeiten, nicht aber auf die Frage der Rolle von Halbleiter IP in ihrer Wertschöpfung. Die Rolle von großen Unternehmen, deren eigene Wertschöpfung auf einem anderen Level des Technologie-Stack ist, bleibt so außen vor.

Wir sehen hier Probleme für die Etablierung eines RISC-V und Open Hardware Ökosystems. Die Strategie sollte darauf ausgerichtet sein, die Eintrittshürde für Chipentwicklungen durch innovative Anwender (insbesondere KMU, die bisher Standardprodukte einsetzen) sowie Startups zu senken. Daneben lassen die Autoren die Betrachtung von Anreizen für andere Unternehmen in

⁵⁴

<https://web.archive.org/web/20221119095241/https://ec.europa.eu/newsroom/dae/redirection/document/89438>

vgl.

der Wertschöpfungskette, die ein Interesse an einem offenen und innovativen Ökosystem haben könnten, außen vor. Eine zu große Bedeutung kommt daher dem Tagesgeschäft von Großunternehmen im Halbleiter-Umfeld zu.

Daher schlagen wir aus nationaler Sicht an einigen Stellen eine andere Gewichtung und Priorisierung vor. Im Folgenden werden die abweichenden Bewertungen dargestellt und begründet.

Die Roadmap trifft die sinnvolle Unterscheidung zwischen einem „high- end“ und einem „mid-end“ Zielsegment im Computing und fokussiert in den abgeleiteten Vorschlägen stark auf komplexe digitale SoCs mit leistungsfähigen Multi-Core Architekturen. Anwendungen im „mid- end“ Bereich sind die in Deutschland stark vertretenen Chipentwicklungen für Sensorik, Kommunikation, Medizintechnik, Automotive und Leistungselektronik. Auch Chips für IoT und die Digitalisierung von industriellen Produktionsprozessen fallen in diese Kategorie. Im kurzfristigen Bereich der Roadmap (2-5 Jahre) müsste dieses Segment unserer Meinung nach stärker priorisiert werden, um bestehende Kompetenzen durch einen Wechsel zu RISC-V und Open Hardware weiterzuentwickeln.

In dem Report wird vorgeschlagen, die Freigabe von RISC-V Cores und Non-Cores unter Open Source Lizenzen finanziell zu unterstützen, bzw. die Vorentwicklung kritischer Komponenten unter dieser Maßgabe zu finanzieren. Als Plattform für den Austausch von Cores/Non-Core IP wird vorgeschlagen, das EUROPRACTICE-Angebot entsprechend zu einem zentralen Repository zu erweitern und Metriken zur Häufigkeit der Nutzung als Maßgabe für die finanzielle Förderung von Cores/Non-Cores zu etablieren. Die Notwendigkeit eines „one-stop shops“ wird dabei nicht hinreichend motiviert und ist unserer Ansicht nach nicht gegeben. Wie in dieser Studie beschrieben sehen wir bedeutend mehr Potential in der Weiterführung von Open Source Silicon IP in Industrie-Konsortien oder als unabhängige Projekte.

Die Förderung von vorwettbewerblichen Gemeinschaftsentwicklungen für Cores und Non-Core IP mit besonderer Bedeutung, wie den in dem Report aufgeführten Interface- und Speicher-IPs, sehen wir ebenfalls als wesentlich an. Wir befürworten jedoch die Nutzung der gleichen dezentralen Infrastrukturen wie z.B. GitHub für die Veröffentlichung und Verteilung, wie die Autoren des Reports sie auch für die Verteilung von Software vorschlägt. Eine kontinuierliche Förderung der Pflege und Weiterentwicklung sowie des Integrationssupports in einer zentralen Instanz wie EUROPRACTICE schadet unserer Meinung nach der Entstehung eigenständig tragfähiger Open Source Geschäftsmodelle für RISC-V und Open Source Silicon.

Wir schlagen stattdessen vor, bereits existierende Ansätze und Diskussionen, wie zum Beispiel von Open HW Group, CHIPS Alliance, Free and Open Source Silicon Foundation oder auch existierende Plattformen wie etwa chipIgnite von eFabless zu evaluieren und aktiv an der Diskussion zu beteiligen. Uns fällt auf,

dass dies im Annex A des Reports sogar sehr gut dargestellt und diskutiert wird, sich aber nicht direkt in der Roadmap manifestiert.

Die Ableitung von offenen Plattformen und die Identifizierung von Best Practices sollte dabei klar im Vordergrund stehen. "Bevorzugte" IP-Blöcke sollen sich organisch, wie auch in Open Source Software, von selbst ergeben. Idealerweise unterstützen Industrie-Konsortien die Adaption von bereits existierenden Open Source Silicon IP-Blöcken. Anreize sollen insbesondere für die zielgerichtete Adaption existierender Blöcke als auch der Erstellung und Überführung neuer, essentieller Blöcke in solche Konsortien gelten. Die Verwender von Open Source IP-Blöcken, als auch die eigentlichen Treiber einer nachhaltigen Entwicklung dieser Blöcke, entweder allein oder in solchen Konsortien, kommt in der Roadmap unserer Ansicht nach nicht richtig zur Geltung. Zu stark scheint die Trennung zwischen niedrigen TRL in akademischen Einrichtungen und den verwendenden Unternehmen.

Die Weiterentwicklung und Pflege von freigegebenen Open Source Cores/Non-Cores und das Angebot von Trainings und Integrationsunterstützung sollten in die Hände föderal organisierter Zentren liegen, in denen sich die beteiligten Entwicklungsunternehmen und Forschungseinrichtungen zusammenschließen. Alternativ können sich hier mehrere eigenständige Dienstleister etablieren (analog zum Beispiel der OpenHW Group) und die Aufbereitung von Cores/non-Cores als kommerzielle Leistung anbieten, ähnlich den Linux-Distributoren.

5.3. Synergien und Gefahren bei der Kooperation mit außereuropäischen Akteuren beim Aufbau eines RISC-V-Ökosystems

5.3.1. EINORDNUNG DER INTEL-INITIATIVE ZUR ENTWICKLUNG EINES RISC-V-ÖKOSYSTEMS

Intel hat in öffentlichen Vorträgen und Gesprächen die Absicht erklärt, in wenigen Jahren „das für RISC-V [zu] sein, was TSMC heute für ARM ist“. Diese Erklärung wird durch Investitionen in RISC-V gestützt, so trägt Intel als Premier Member von RISC-V International zur Finanzierung der Weiterentwicklung des Standards bei.

Mit dem Intel-RISC-V-Pathfinder Programm wurde ein Ökosystem rund um die eigene „Stratix“ FPGA-Produktreihe gestartet. In diesem werden FPGA-Konfigurationen auf RISC-V-Basis zum Download bereitgestellt und als Katalog bzw. Shop in die Intel-Entwicklungsumgebung integriert. Anwender können zwischen kostenlosen Angeboten auf Basis von Open Source Cores und den kommerziellen IPs von Drittanbietern wählen und diese über eine einheitliche Oberfläche beziehen.

Mindestens zwei Abteilungen von Intel sind mit unterschiedlicher Zielstellung an RISC-V Aktivitäten beteiligt: die für das Foundry-Geschäft verantwortlichen Abteilungen suchen aktiv nach geeigneten Open-Source Implementierungen von Cores und „non-Cores“, also beispielsweise Schnittstellen- und Beschleuniger-IP, um diese in das eigene Foundry-Angebot zu integrieren, speziell auch in den in Magdeburg geplanten 16nm-Knoten.

6. FEHLENDEN KOMPETENZEN UND STAKEHOLDER IN DEUTSCHLAND FÜR EIN EUROPÄISCHES RISC-V-ÖKO SYSTEM

6.1. Integration in weltweites Ökosystem oder europäische Lösung

Die Etablierung eines RISC-V-Ökosystems in Deutschland ist anzustreben.

Quelloffene Software und Hardware wird üblicherweise auf Plattformen wie Github angeboten und es wird zur Mitarbeit eingeladen. Da es sich hierbei um einen etablierten und anerkannten Flow in der Open Source-Community handelt, wird empfohlen, dass auch ein nationales RISC-V-Ökosystem unter Verwendung derartiger Plattformen entsteht. Auf diese Art und Weise können alle Parteien, von der engagierten Einzelperson bis zum Industriekonzern) in die Weiterentwicklung eingebunden werden. Eine Eingrenzung der Beteiligung auf Mitarbeitende ausschließlich aus Deutschland oder Europa ist realistisch nicht möglich.

Als Option für einen lenkenden Einfluss auf Projekte von besonderem nationalem Interesse (z.B. bestimmte Erweiterung für die RISC-V ISA, kritische Chip-IP-Komponenten oder Software-Portierungen) können moderierte Open Source-Projekte, wie in Kapitel 4 beschrieben, Gestaltungsspielraum bieten. Dabei wird das Projekt von einer Einzelperson oder Organisation verwaltet. Die Daten stehen für alle zum Download zur Verfügung. Bei gewünschten Änderungen, muss ein entsprechender Request an den Verwalter geschickt werden. Nach Prüfung durch den Verwalter wird die Änderung angenommen oder abgewiesen.

Ein RISC-V-Ökosystem bietet vielfältige Vorteile. Das Angebot eines quelloffenen Prozessors, zusammen mit quelloffenen Simulations- und Designsoftware, helfen Universitäten eine Lücke im Bildungsprozess zu schließen. Derzeit ist es zum Beispiel sehr schwierig ein State-of-the-Art-Prozessordesign im universitären Umfeld zu nutzen. Oft fehlen die entsprechenden Simulationswerkzeuge oder die Umsetzung des Prozessors von Quellcode in ein Chipdesign erfordert die Unterzeichnung eines NDAs, da erst so der Zugang zu PDKs ermöglicht wird. Dies ist als Hürde zu betrachten, da gerade in Hinblick auf Bildung eine Zugangskontrolle vermieden werden sollte. Darüber hinaus schließen die Anbieter von PDKs oft Einzelpersonen von der Unterzeichnung von NDAs aus, so dass Interessierten, ob Studierenden oder interessierten Laien, der Zugang verwehrt bleibt. Durch diese Barriere werden zukünftige Fachkräfte in ihrer Weiterentwicklung gehindert.

An dieser Stelle bietet ein komplettes quelloffenes System die Möglichkeit, dass sich Interessierte damit praktisch auseinandersetzen können und sich ausprobieren können. In Hinblick auf den bereits vorhandenen

Fachkräftemangel, wird es so möglich, bereits in der Schule, also ohne universitären Hintergrund, auf Themen wie Prozessordesign einzugehen.

Im Bereich der Forschung stellen etablierte Open Source-Projekte ebenfalls einen Gewinn dar. Die Forschenden können sich mehrheitlich um ihr Forschungsthema kümmern und müssen nicht einen erheblichen Zeitaufwand in den Aufbau des Systems stecken. Gleichzeitig können mit dem RISC-V-Ökosystem Nischen abgedeckt werden, in denen Forschungsbedarf besteht. Das betrifft insbesondere die Themen Zuverlässigkeit, Sicherheit und Resilienz, welche Anwendungen in Bereichen wie Automotive, Space oder Avionik finden.

Für Klein- und Mittelständische Unternehmen kommen aktuell vornehmlich Prozessoren vom Massenmarkt in Betracht. Dies liegt an der günstigen Verfügbarkeit sowie des weiträumigen Supports, sei es durch den Hersteller an sich oder durch die Community im Netz. Nachteilig ist hierbei, dass sich die Unternehmen mit den angebotenen Konfigurationen zufriedengeben müssen. Anwenderspezifische Prozessoren sind aufgrund von geringen Stückzahlen häufig nicht realistisch, da die Foundries wenig Interesse an Nischenprodukten haben. Haben KMUs Zugriff auf Prozessoren, die sie spezifisch für sich konfigurieren, anpassen und vor allem erweitern können, können sie damit ihre Position am Markt behaupten und sich mit einem Innovationspotential vom der Masse abheben. Darüber hinaus besteht nur eine geringe Gefahr, eine saubere Verwaltung des Projekts vorausgesetzt, dass sie sich mit Verfahren zu Patentverletzungen auseinandersetzen müssen.

In Hinblick auf die Globalisierung und die Verfügbarkeit digitaler Ressourcen in allen Teilen der Welt, ist es nicht sinnvoll, ein RISC-V-Ökosystem zu etablieren, das auf einen europäischen oder gar nur deutschen Raum beschränkt ist. Ein Prozessorsystem mit Plattform für die Softwareentwicklung kann sich nur dann etablieren, wenn es allgemein bekannt, anerkannt und verbreitet ist. Beispielhaft für den Erfolg einer Entwicklungsplattform, kann hier der, auf einem ARM-Prozessor basierende, Raspberry Pi genannt werden. Für alle erdenklichen Anwendungsfälle, finden sich Projekte und Tutorials im Internet.

Für den Aufbau eines RISC-V-Ökosystems gibt es viele grundlegende Voraussetzungen. Durch das Angebot eines quelloffenen Prozessors zusammen mit quelloffener Design- und Simulationssoftware können prinzipiell Hardware-Designs entworfen und simuliert werden. Diese Voraussetzungen bilden somit die Grundlage für das Ökosystem. Hierbei begrenzt sich der Entwurfsprozess nur auf eine Verhaltensbeschreibung des RISC-V, welche in Form einer RTL-Beschreibung der Schaltung in VHDL umgesetzt werden kann. Denn ein weiterer wichtiger Aspekt für den Aufbau eines RISC-V-Ökosystems sind Foundries, welche das entsprechende Design am Ende fertigen können. Dazu braucht es einerseits Foundries, welche ihre Produktion in Deutschland oder der EU haben und andererseits müssen diese

Foundries ihre Process Design Kits (PDK) im besten Fall quelloffen zur Verfügung stellen, sodass der Zugang möglichst niederschwellig ist, insbesondere zur Förderung von Nachwuchs im universitären aber auch außeruniversitären Bereich. Ansonsten ist es ohne ein PDK nicht möglich, dass der Entwurf eines Designs vollendet werden kann. Im weiteren Verlauf eines Designentwurfs ist es dringend erforderlich, dass ein PDK einer entsprechenden Technologie verfügbar ist, um das Design zu synthetisieren, in ein Layout zu überführen, zu Verifizieren und anschließend fertigen zu können.

Hierbei gibt es einige Lücken im deutschen und europäischen Raum. Einerseits ist es schwer möglich zusätzliche Foundries zu etablieren, welche je nach Anwendung eine geeignete Strukturgröße zur Fertigung eines performanten Prozessors anbieten. Beispielsweise sind in Europa Strukturgrößen bis ca. 100nm verfügbar. Diese eignen sich um Prozessoren bis zu 200MHz zu entwickeln. Darüber hinaus sind diese Technologien zu langsam und vor allem wächst der Flächenbedarf überdurchschnittlich an, so dass an der Stelle nicht mehr kostendeckend gearbeitet werden kann.

Hierbei ist ebenfalls zu beachten, dass die Foundry selbst außereuropäische Abhängigkeiten aufweisen kann, beispielsweise bei der Maskenfertigung. Aber auch Foundries in Europa (wie demnächst Intel in Magdeburg und andere globale Player) haben ihren Sitz außerhalb von Europa.

Darüber hinaus bieten die wenigsten Foundries in der EU ein quelloffenes PDK an, um beispielsweise auch Einzelpersonen oder interessierten Studenten einen einfachen Zugang zu ermöglichen. Dies ist sowohl aus Sicht der Nachwuchsförderung als auch der Förderung von KMUs bedeutsam, da diese zwar nicht an komplexeren Designs arbeiten können aber durch einen freien Zugang zu einem quelloffenen RISC-V-Ökosystem eine geringe Einstiegshürde haben eigene Produkte anzupassen oder zu entwickeln.

Um ein europäisches RISC-V-Ökosystem zu etablieren sind, aus Sicht der Hardware-Anforderungen, neben dem eigentlichen Prozessor selbst weitere Lücken auszumachen. So sind für den eigentlichen Betrieb eines Prozessors weitere Peripheriebausteine notwendig. Denn für die Ausführung von Software auf dem Prozessor sind weiterhin mindestens ein Taktgeber sowie ein nichtflüchtiger Speicher (NVM) notwendig. Insbesondere für den NVM gibt es in Europa keine Foundries, welche diesen bereitstellen können.

6.2. Notwendige Kompetenzen in Deutschland

Ein Ökosystem für einen Prozessor ist komplex. Das Fundament ist der quelloffene Prozessor, welcher durch Hardware- und Softwarekomponenten erst funktionsfähig und damit nutzbar wird.

Im folgenden Abschnitt werden die notwendigen Kompetenzen betrachtet und dabei wird bei dem Prozessor selbst begonnen.

Die Kernkompetenzen werden an dieser Stelle in drei Säulen gegliedert. Säule 1 befasst sich ausschließlich mit der Verwaltung, Säule 2 ist die Hardware verzahnt mit den Hardwaredesignntools und Säule 3 ist die Software.

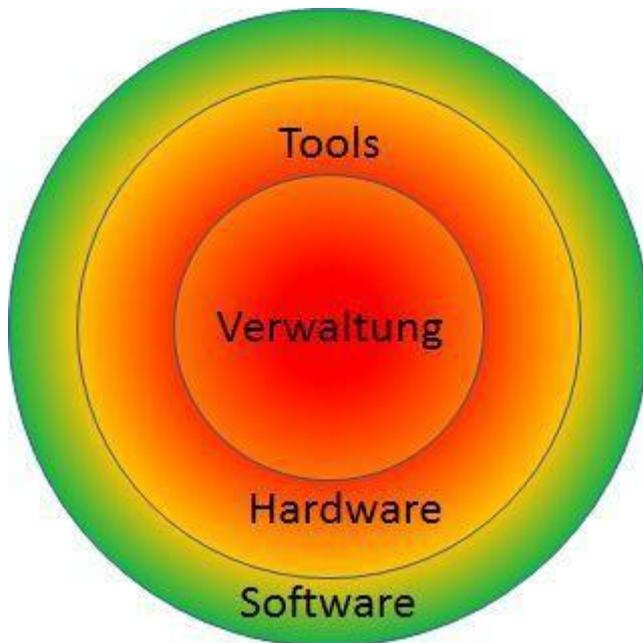


ABBILDUNG 2: VERANSCHAULICHUNG DES SCHALEN EINES ENTWICKLUNGS-ÖKOSYSTEMS

6.2.1. VERWALTUNG VON OPENSOURCE-PROJEKTEN

Als innerste Schale können die Verwaltung bzw. die Infrastruktur eines Entwicklungs-Ökosystems betrachtet werden. Eine Verwaltung einzelner Initiativen innerhalb des Ökosystems ist notwendig, da es sich um komplexe Entwicklungen handelt, bei denen unter Umständen viele Partner in einen dynamischen Entwicklungsprozess eingebunden sind. Zahlreiche Open-Source-Projekte haben aus einer kleinen Gruppe von Initiatoren heraus durch organisches Wachstum Strukturen herausgebildet, in denen Moderations- und Freigabeprozesse von sogenannten „Maintainern“, also Personen, die durch die Community fachlich anerkannt wurden, ausgeführt werden.

Einige sehr große Open Source-Projekte, wie z.B. Android, das durch die Google LLC entwickelt und verwaltet wird, profitieren zudem von einem bestimmten Open-Source-Geschäftsmodell der initiierenden Unternehmen. Google selbst verwendet Android auf eigenen Geräten und hat daher auch ein erhebliches Eigeninteresse an der Wartung, Weiterentwicklung und Verbreitung der Software. Siehe hierzu auch Kapitel 4.

Für Prozessoren/Cores als Teil des RISC-V Ökosystems kann ein ähnlicher Ansatz wünschenswert sein, die Verwertung mit der Verwaltung zu koppeln.

Das bedeutet zum Beispiel, dass Unternehmen als Teil eines Geschäftsmodells ihrer Entwicklungen als Open-Source-Projekte initiieren. Sie können auch einen Beitrag zur Organisation von Open-Source-Projekten leisten, an denen sie besonderes Interesse haben. Dies kann z.B. durch die Bereitstellung von Infrastruktur oder die Finanzierung der Arbeit von Maintainern sowie durch aktive technische Beiträge geschehen. Auch begleitender Support wie die Einrichtung von Nutzergruppen, das Ausrichten von Events etc. sind denkbar. Eine Vormachtstellung einzelner Organisationen im gesamten RISC-V Ökosystem ist dabei zu vermeiden, da diese den Druck der Konkurrenz und damit Innovation einschränkt.

Hier gilt es also eine innovative Struktur für die Verwaltung von Projekten in einem RISC-V-Ökosystem zu entwickeln, um das Potential voll auszuschöpfen.

Die Verwaltungsschale profitiert eher nicht von klassischen Förderinstrumenten, in denen ein von Beginn an festes Konsortium für einen begrenzten Zeitraum unterstützt wird, sondern sollte auf Nachhaltigkeit und Verstetigung einer Initiative mit über der Zeit wechselnden Partnern ausgelegt sein. Eine dauerhafte Finanzierung von Projekten um einen inhaltlichen Fixpunkt herum ist dabei unabdinglich. Hier können neue Mechanismen zur Finanzierung und öffentlichen Förderung notwendig sein. Da die Open-Source Community aus eigenem Bestreben heraus bereits eine Vielzahl effizienter Strukturen und Werkzeuge entwickelt hat, könnte es Sinn machen, eine öffentliche Förderung an einen nachgewiesenen Mehrwert gegenüber dem Stand der Community zu koppeln und den Aufbau von redundanter Infrastruktur zu verhindern. Best practices existierender Initiativen und Projekte können dabei als Vorbild dienen.

Teil der Verwaltungsschale ist auch die Ausarbeitung von ratifizierten Spezifikationen. In Kapitel 1.6 ist beispielsweise beschrieben, dass der HPC-Markt für RISC-V-Prozessoren interessant ist. Im Kanon der RISC-V-ISA-Spezifikationen existiert jedoch noch kein ratifiziertes Dokument für einen funktional sicheren Prozessor, wie sie im HPC-Markt gefordert wird. Die Erarbeitung der Spezifikationen ist in den entsprechenden Arbeitsgruppen der RISC-V International organisiert. Ein nationaler Beitrag könnte die Einrichtung weiterer Arbeitsgruppen unter dem Dach der RISC-V International sowie die aktive, ggf. auch öffentlich geförderte Mitarbeit an einschlägigen Arbeitsgruppen sein.

6.2.2. HARDWARE UND DESIGNTOOLS FÜR HARDWARE

Schale 2 umfasst die Hardware des RISC-V-Ökosystems. Prozessoren werden in einer Hardwarebeschreibungssprache (HDL) wie VHDL oder Verilog implementiert. Im Vergleich zu Programmiersprachen für Software, ist das Lehrangebot für HDL vergleichsweise gering. Während Softwareprogrammierung schon Eingang in den Informatikunterricht in weiterführenden Schulen gefunden hat, ist die Entwicklung von Hardware,

basierend auf einer HDL, dem universitären Umfeld, bevorzugt in den weiterführenden Studiengängen vorbehalten.

Hier besteht also **Bedarf an Aus- und Weiterbildungsangeboten**.

Die Entwicklung eines Prozessors unterscheidet sich zudem wesentlich von der Entwicklung von Software durch Art und Umfang der Verifikation. Eine Anwendersoftware mit graphischer Oberfläche kann ohne Vorkenntnisse auf dem Zielsystem oder einer Emulation des Zielsystems getestet werden. Ein Prozessor kann dagegen nur mit Hilfe eines speziellen Simulators und einer zuvor erstellten umfangreichen Testbench geprüft werden. Simulatoren sind häufig sehr kostenintensive kommerzielle Programme und Open Source Alternativen etablieren sich nur langsam. Eine zweite Hürde ist hier die Erstellung der Testbench, die ebenfalls in einer Hardwarebeschreibungssprache entwickelt werden muss.

Es besteht also **Bedarf** an Aus- und Weiterbildungsangeboten speziell zu den Themen **Test und Verifikation** digitaler Schaltungen sowie Bedarf an einer Weiterentwicklung von frei verfügbaren Simulatoren. Die **Weiterentwicklung von Simulatoren** kann anhand eines von der Industrie konkret formulierten Bedarfs bzw. einer definierten Funktionslücke im Vergleich zu kommerziellen Tools zum Beispiel durch nationale Teams und geförderte Projekte erfolgen. Dabei sollten die bestehenden einschlägigen Projekte (verilator, verible, ngspice, ...) durch inhaltliche Beiträge unterstützt werden.

In der nächsten Phase wird das Design für die Fertigung in einen ASIC überführt. Im Abschnitt „RISC-V-Ökosystem“ ist ein Teil der notwendigen Schritte und Tools aufgeführt. Einzelne Projekte, wie VE-HEP oder VE-DIVA-IC, zielen darauf ab, einen RISC-V-Prozessor mit quelloffenen Tools in Layoutdaten für die Produktion in einer Foundry zu überführen. Zum Teil offenbaren sich an der Stelle erhebliche Lücken bei den Tools im Bereich der Verifikation. Als Folge dessen steigt die Wahrscheinlichkeit, dass der ASIC nach seiner Produktion aufgrund von Designfehlern nicht funktioniert. Ein solcher Fehlschlag ist zeit- und kostenintensiv. Die Verzögerung des Projekts liegt dann zwischen 6 und 12 Monaten und die Kosten sind im sechsstelligen Bereich angesiedelt.

Es besteht also **Bedarf** an der Weiterentwicklung von Open-Source Werkzeugen für die **physikalische Verifikation** (DRC/LVS) von Schaltungen. Diese könnte z.B. anhand einzelner, von Industrie und Wissenschaft konkret definierten Funktionslücken, durch nationale Projekte als Zuarbeit zu den einschlägigen Projekten (klayout, gEDA, yosys, OpenTimer, OpenSTA, ...) erfolgen.

Um einen Prozessor von der Beschreibung in einer Hochsprache in Layoutdaten zu überführen, ist ein Process Design Kit (PDK) erforderlich. Aktuell sind diese, bis auf wenige Ausnahmen, ausschließlich unter NDA verfügbar. Eine

Ausnahme stellen hier das SkyWater PDK, das angekündigte Open Source-PDK für die SG13G2-Technologie des IHP, sowie das GF180MCU PDK von Global Foundries. Möchten Unternehmen also, wenn auch nur testweise, einen Prozessor für die Herstellung evaluieren, ist zunächst die Hürde eines NDAs gegeben. Ein Einfaches „mal eben ausprobieren“ ist so nicht möglich und erstickt eine gute Idee unter Umständen schon im Keim. Ein Open Source-PDK kann an der Stelle auch ein weiteres Problem lösen. Für einen Prozessor ist ein Speicherbaustein notwendig. Dieser ist auf dem Chip integriert. Ein solcher Speicherbaustein wird mit einem sogenannten „Speichergenerator“ für den jeweiligen Anwendungsfall erzeugt. Ein Generator erzeugt einen komplexen Schaltkreis mit den Speicherzellen und zusätzlich notwendigen Adress-Dekoder sowie Schreib- und Leseverstärker. Mit dem OpenRAM- Projekt existiert schon ein solcher Generator mit einem spezifischen Datensatz für das SkyWater PDK. Eine Anpassung an andere Technologien ist machbar und kann auch im Rahmen eines Projektes entstehen.

Es besteht also für die Senkung der Einstiegshürde ins Chipdesign allgemein ein Bedarf an weiteren und umfangreicheren Open-Source PDKs für verschiedene Prozesse aus den Bereichen CMOS, BiCMOS, BCD und nicht-Silizium-Technologien wie GaN/SiC/InP usw. Dies umfasst neben der Bereitstellung von Speichertechnologien (z.B. Flash, Fuses) auch die Integration von MEMS- und anderen Sensortechnologien sowie von Quantencomputing-Bauteilen in derartige Open-Source-PDKs. Häufig verwendete analoge Baugruppen (Referenzen, A/D- und D/A-Wandler, Takterzeugung, Schnittstellen) lassen sich ebenfalls dem Ökosystem um das PDK zuordnen. Die Etablierung von Open-Source PDKs könnte durch die Schaffung zusätzlicher Nachfrage beschleunigt werden, z.B. in Form von geförderten Prototypen-Fertigungsläufen für Startups und KMU. Die Leistungsfähigkeit von Open-Source-PDK und die Synergie in einer verteilten deutschen Mikroelektronik-Infrastruktur (z.B. FMD) könnten gesteigert werden, indem die Integration von Bauteilen und Prozessen verschiedener Reinraum- Betreiber in Open-Source-PDKs ggf. auch finanziell unterstützt oder intensiviert wird.

Nach der Produktion sind die ASICs zu vereinzeln, zu bonden und zu verpacken. In Abhängigkeit vom Prozess sind dafür Möglichkeiten in Deutschland vorhanden. Insbesondere für das Drahtbonden bei größeren Technologieknoten und Verpacken in Gehäuse für geringe Anforderung an die Taktfrequenz (unterhalb von 1Ghz) sind möglich^[1]. Bei höheren Anforderungen, die auch schnell im industriellen Umfeld oder Automotivbereich auftreten, sind die Möglichkeiten in Deutschland sehr begrenzt. Die Kernkompetenzen dazu sind in Deutschland vorhanden. Für größere Stückzahlen muss auf Anbieter mit hohen Kapazitäten, vornehmlich in Asien^[2], ausgewichen werden, die gegenüber europäischen Anbietern (z.B. in den Niederlanden) deutlich geringere Preise ausweisen.

Es besteht also der Bedarf an einem kommerziell attraktiven europäischen Angebot für Aufbau- und Verbindungstechnik von Großvolumen-Chipprodukten.

Vor der Nutzung des Prozessors ist dieser einem Funktionaltest zu unterziehen. An der Stelle ist Expertise in Deutschland vorhanden, da bei einigen Halbleiterfabriken eigene Testhäuser^[3] untergeordnet sind und auch unabhängige, spezialisierte Testhäuser auf dem Markt aktiv sind. Nach dem Test werden die ASICs auf eine Platine gebracht. Diese ist zunächst zu entwerfen und zu fertigen. Auch an dieser Stelle sind Kapazitäten in Deutschland vorhanden.

6.2.3. WECHSELWIRKUNG VON TOOLCHAIN UND PROTOTYPING

Die enge Verzahnung und die Abhängigkeit zwischen Open Source Silicon und Open Source-Tools für die Hardwareentwicklung birgt großes Potential und gleichzeitig Risiken: Weiterentwicklungen der Toolchain kommen allen nachfolgenden Projekten zugute und fördern so die Entwicklung von Open Source Silicon nachhaltig. Gleichzeitig ist die Entwicklung der Open Source-Tools oftmals an einige wenige Einzelpersonen geknüpft, was die Verstetigung der Entwicklung schwierig machen und eine starke Abhängigkeit von einzelnen Personen mit sich bringen kann. Zudem ist die Weiterentwicklung an die Verfügbarkeit von Open-Source PDKs an entsprechende Herstellungsprozesse geknüpft.

Größere Technologieknoten finden dabei insbesondere im Automotivbereich und in der Lehre Anwendung und sollten daher von Open Source Tools unterstützt werden. Die Skalierung zu kleinen Technologieknoten ist jedoch ebenfalls unabdingbar, um den Bedarf an leistungsfähigen Prozessoren zu einem marktfähigen Preis zu decken. Nur so kann eine Etablierung, und damit eine Verstetigung des gesamten RISC-V Ökosystems, sichergestellt werden. Als problematisch kann in der Schale 2 herausgearbeitet werden, dass es unzählige Tools für Chipentwurf/-simulation und Verifikation gibt, die jeweils unterschiedliche Ansätze haben. Es existieren darauf aufbauend mehrere parallele Bemühungen (OpenROAD/OpenLANE, eFabless, ..) für eine durchgängige Open-Source Toolchain nach dem Muster kommerzieller Anbieter und eine zielgerichtete Förderung scheint schwierig, da noch nicht absehbar ist, welche Zusammenstellung von Tools sich am schnellsten entwickeln wird.

Es besteht also der Bedarf nach einer Vereinheitlichung und Integration der verfügbaren Open Source Tools in einer durchgängigen Toolchain oder zumindest nach der Etablierung offener und einheitlicher Schnittstellen mit der Möglichkeit der Formatkonvertierung zwischen EDA-Tools. Weiterhin besteht Bedarf an einer Weiterentwicklung der Fähigkeiten in den Bereichen Analog-Entwurf, Hochfrequenz-Entwurf und physikalische Verifikation. Diese Lücke könnte durch Startups/KMU im Bereich EDA-Software geschlossen werden,

welche Zusammenstellungen von Tools in Form einer einfach nutzbaren Distribution oder entsprechender Container kommerziell anbieten. Auch lokale Zusammenschlüsse von Forschung und Industrie bzw. überregionale Kompetenzcluster (CHIPS.NRW, Chip Allianz Bayern, Silicon Saxon, FMD und andere) könnten als Anbieter derartiger Distributionen auftreten.

6.2.4. IMPACT FÜR EMBEDDED VS. HPC-SYSTEME

In Kapitel 2 sind vornehmlich zwei Anwendungsbereiche als Zielmarkt identifiziert worden: eingebettete Systeme und HPC. Während eingebettete Systeme durch viele Anwendergruppen genutzt werden, sind die HPC auf einen kleineren Anwenderkreis beschränkt. Das heißt also, dass kleinere RISC-V-Prozessoren potentiell öfter in verschiedenen, anwenderspezifischen, Konfigurationen zum Einsatz kommen werden. Diese kleinen Systeme können auch in, vergleichsweise großen, CMOS-Knoten gefertigt werden.

Bei HPC-Systemen hingegen wird eine große Stückzahl gleichartiger Prozessoren benötigt. Diese sind, bedingt durch die hohen Anforderungen an Performance und Integrationsdichte, kleineren Knotengrößen vorbehalten. Ein Teilaspekt der hohen Integrationsdichte, ist die Komplexität. Diese setzt einen etablierten Designflow voraus, um die Produkte in angemessener Zeit und zu einem angemessenen Preis auf den Markt bringen zu können. Dennoch sind die Investitionen für HPC-Systeme sehr hoch, so dass diese von KMUs nicht gestemmt werden können.

Für die HPC-Systeme ist die Anzahl der potentiellen Hersteller begrenzt. Dazu gibt es die Schwachstelle, dass funktional sichere Prozessoren noch nicht definiert sind und der notwendige Design Flow und die kleinskalierten Technologien teuer sind. Die Förderung von RISC-V-Prozessoren für Microcontroller und Mikroprozessoren wird also einen breiteren Effekt haben als die Förderung von HPC-Systemen.

6.2.5. SOFTWARE

Schale 3 umfasst die Software, die für den Betrieb eines Prozessors notwendig ist, insbesondere also das Betriebssystem und die Anwendungssoftware. Für beide Bereiche sind ausreichend Kompetenzen in Deutschland vorhanden. Die Programmierung von Betriebssystemen ist Teil vieler Studiengänge in der Informatik in Deutschland. Die Programmierung von Anwendungen beginnt, wie oben beschrieben z.T. schon in der Schule und erstreckt sich dann weiter, z.B. in Ausbildungsberufen wie Fachinformatiker oder Anwendungsentwickler.

Entwicklungen werden durch Beispielanwendungen befeuert. Ein Grundgerüst aus Betriebssystem und einfachen Anwendungsprogrammen kann die Basis für Lehr- und Lernzwecke bilden und so den An Schub für weitere Entwicklungen geben.

Es besteht also ein Bedarf an Beispielapplikationen und Entwicklungsboards für den einfachen Einstieg in die RISC-V Softwareentwicklung. Dieser Bedarf kann zukünftig durch etablierte Anbieter wie Arduino, Microchip usw. gedeckt werden, wenn die RISC-V Architektur als alternative Plattform in das Produktportfolio aufgenommen wird. Ergänzend können Online-Lehrgänge und Portierungen bestehender Software die Eintrittshürde senken.

Die Entwicklung von Software stützt sich auch auf die Verfügbarkeit von virtuellen Prototypen und leistungsfähigen Emulatoren. Die RISC-V Architektur ist zunehmend mit guter Performance in Standard-Emulatoren (wie QEmu) integriert, virtuelle Prototypen mit tiefer Integration in kommerzielle Werkzeuge sind jedoch noch nicht verfügbar.

In allen drei Schalen ist damit Entwicklungsbedarf identifiziert worden. Die Abbildung stellt eine Zusammenfassung dar. Im Kernbereich wurde die Verwaltung von Projekten und die Arbeit an Spezifikationen, die Hardware (der Prozessor an sich) sowie die Verwertung identifiziert. Für die Umsetzung in ASIC ist eine Weiterentwicklung im Bereich „Tools“ notwendig, die so genannten Tools zur Erstellung von ASIC-Design. Abgerundet wird alles durch die Software, wie Betriebssystem oder Anwendungen, die für das Zielsystem entwickelt oder angepasst werden müssen.

6.2.6. ZUSAMMENFASSUNG

Die Herausforderung einer gezielten Unterstützung des RISC-V Ökosystems liegt in der **Neuartigkeit der Arbeitsprozesse** für eine dynamische, verteilte Entwicklung von Hardware und Hardware-Entwicklungswerkzeugen. Eine **zentrale Koordinierung des Ökosystems erscheint weder sinnvoll noch möglich**, wirken doch alle Bestandteile in einem kontinuierlichen Verbesserungsprozess aufeinander und bedingen einander. Eine finanzielle Förderung in klassischer Form, mit festen Konsortien und einem abgeschlossenen Zeitraum, kann daher vor allem klar definierte Lücken im Ökosystem punktuell schließen, wenn diese von der Industrie artikuliert werden können. Für einen nationalen Einfluss auf kritische Bausteine (Spezifikationen, Tools, Cores, Lehrangebot, Prototyping-Möglichkeiten) liegt die **langfristige Beteiligung** von nationalen Kernteams an bestehenden internationalen Open Source und Open Silicon Projekten nahe. Die Kernteams sollten **föederal organisiert**, z.B. aus den in verschiedenen Bundesländern vorhandenen Kompetenzclustern gebildet werden, um die Forschungs- und Industrielandschaft in der Breite abzudecken. Als wichtigster Beitrag zur Förderung des Ökosystems sollten für KMU und Neugründungen **Anreize für die Etablierung von Geschäftsmodellen** rund um Open-Source und Open-Silicon geschaffen werden.

Eine zentrale Koordinierung des RISC-V Ökosystems in Deutschland erscheint weder sinnvoll noch möglich. Förderal organisierte Zusammenschlüsse von Forschung und Industrie können hingegen langfristig inhaltliche Beiträge zu existierenden Projekten und Arbeitsgruppen leisten und damit einen nationalen Einfluss sichern. Zentral für eine Unterstützung des Ökosystems sind Anreize zur Etablierung von Geschäftsmodellen rund um Open Source und Open Silicon.

^[1] <https://www.maf-ffo.de/>

^[2] <https://pactech.com/>

^[3] <https://www.ged.de/>